

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 6 日
Date of Application:

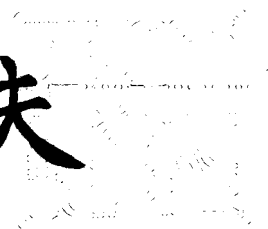
出 願 番 号 特 願 2 0 0 3 - 1 6 2 0 4 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 6 2 0 4 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 8 8 0 0

【書類名】 特許願

【整理番号】 J0100369

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/28
G06F 13/36

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 木村 正博

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 福光 康則

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 山本 泰久

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 五十嵐 昌弘

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095452

 【弁理士】

 【氏名又は名称】 石井 博樹

【先の出願に基づく優先権主張】**【出願番号】** 特願2002-245174**【出願日】** 平成14年 8月26日**【手数料の表示】****【予納台帳番号】** 055561**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0016652**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 液体噴射データのデータ転送装置、液体噴射装置

【特許請求の範囲】

【請求項 1】 メインメモリからシステムバスを経由してワード単位で DMA 転送されるライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を備えた液体噴射データのデータ転送装置であって、

前記メインメモリから前記デコード回路へ DMA 転送される圧縮データの先頭データを含むワードデータにおいては、圧縮された液体噴射データのデータ開始アドレス値を前記システムバスが 1 回のデータ転送で転送可能なデータのバイト数で除算した余りの数のバイト数だけ、先頭からデータを無効にする無効データマスク処理手段を備えている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 2】 メインメモリからシステムバスを経由して 1 ワードずつ DMA 転送されるライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を備えた液体噴射データのデータ転送装置であって、

前記メインメモリから前記デコード回路へ DMA 転送される圧縮データの先頭データを含むワードデータにおいては、前記メインメモリに格納されている圧縮データのデータ開始アドレスが奇数アドレスの場合には、先頭 1 バイトのデータを無効にする無効データマスク処理手段を備えている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項 3】 請求項 1 又は 2 において、前記システムバスとローカルバスとの 2 系統の独立したバスと、前記システムバスにデータ転送可能に接続された前記メインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、前記デコード回路、該デコード回路にて展開した液体噴射データがワード単位で格納されるラインバッファ、及び前記メインメモリからライン展開可能に圧縮された液体噴射データを前記デコード回路へ DMA 転送し、該ラインバッファに展開された液体噴射データをワード単位で前記ローカルメモリへ DMA 転送し、前記ローカルメモリに格納された展開後の液体噴射データを液体噴射

ヘッドのレジスタへ順次DMA転送するDMA転送手段を有するデコードユニットとを備えている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項4】 請求項3において、前記メインメモリ、前記デコードユニット、及び前記液体噴射ヘッドのレジスタは、それぞれ回路ブロックとして1つのASICに内蔵されており、前記デコードユニットと前記液体噴射ヘッドのレジスタとは、前記ASIC内部の専用バスによって接続されている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項5】 請求項3又は4において、前記ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を2面有し、一面側に前記デコード回路にて展開した液体噴射データが順次格納され、所定のワード数の展開データが蓄積された時点で他面側に前記デコード回路にて展開した液体噴射データが順次格納されるとともに、所定のワード数の展開データが蓄積された時点で所定のワード数毎に展開データを前記ローカルメモリへDMA転送する、ことを特徴とした液体噴射データのデータ転送装置。

【請求項6】 請求項3～5のいずれか1項において、前記ローカルバスにおける前記デコードユニットから前記ローカルメモリ、及び前記ローカルメモリから前記液体噴射ヘッドのレジスタへのデータ転送は、バースト転送によって行われる、ことを特徴とした液体噴射データのデータ転送装置。

【請求項7】 請求項1～6のいずれか1項において、前記圧縮された液体噴射データは、ランレングス圧縮データであり、前記デコード回路は、ランレングス圧縮データをハードウェア展開可能なデコード回路である、ことを特徴とした液体噴射データのデータ転送装置。

【請求項8】 請求項3～7のいずれか1項において、前記デコードユニットは、前記メインメモリからDMA転送された非圧縮の液体噴射データを前記デコード回路にてハードウェア展開せずに、前記ラインバッファへ格納する手段を備えている、ことを特徴とした液体噴射データのデータ転送装置。

【請求項9】 請求項1～8のいずれか1項に記載の液体噴射データのデータ転送装置を備えた液体噴射装置。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本願発明は、液体噴射ヘッドからインク等の液体を被噴射媒体へ噴射する液体噴射装置に入力された液体噴射データを液体噴射ヘッドへ転送するための液体噴射データのデータ転送装置、及び該液体噴射データのデータ転送装置を備えた液体噴射装置に関する。

【0002】**【従来の技術】**

液体噴射装置としてのいわゆるインクジェット式記録装置は、記録ヘッドから記録紙等にインクを噴射して画像データ等を記録する。ライン展開可能にデータ圧縮されている画像データ等をライン展開してビットマップイメージに展開し、展開したビットマップイメージを記録紙の記録面に形成する如く記録ヘッドのヘッド面に配設されている多数のノズルアレイから複数色のインク滴を噴射する。複数色のインク滴を記録面に噴射して多数のインクドットを形成することによって記録紙上に画像を形成する。尚、ライン展開可能な圧縮データとは、例えば一般的に広く知られているランレングス圧縮方式等による圧縮データであり、バイト単位で順次展開可能な圧縮方式による圧縮データのことである。

【0003】

一般的にこのようなインクジェット式記録装置は、パーソナルコンピュータ等の外部装置からライン展開可能にデータ圧縮されている画像データを入力し、入力した圧縮データをライン展開（解凍）し、展開したビットマップイメージに必要なデータ処理を行った後にそのデータを記録ヘッドのレジスタへ転送するデータ転送装置を備えている。従来の一般的なデータ転送装置は、例えば、図36に示すような構成を成している。

【0004】

データ転送装置10は、データ転送経路としてシステムバスSBを備えている。システムバスSBには、マイクロプロセッサ（MPU）11、RAM12、及びヘッド制御部13がデータ転送可能に接続されており、ヘッド制御部13に記録ヘッド62が接続されている。図示していないパーソナルコンピュータやデジ

タルカメラ等の情報処理装置からデータ転送される圧縮された記録データは、システムバスSBを介してRAM12へ格納される。

【0005】

RAM12の圧縮データ格納エリアに格納されている圧縮された記録データは、システムバスSB経由でマイクロプロセッサ11へ1バイトずつ順次データ転送され（符号Aで示した経路）、プログラムによる圧縮データの解凍手順によって1バイトずつ順次解凍された後、再びRAM12へシステムバスSB経由で1バイトずつデータ転送されて（符号Bで示した経路）、RAM12の所望のビットマップイメージエリアに格納される。RAM12のビットマップイメージエリア内に展開データが全て格納された時点で、ビットマップイメージエリア内の展開データがシステムバスSB経由でヘッド制御部13内部のレジスタ（図示せず）に1バイトずつデータ転送され（符号Cで示した経路）、そのビットマップイメージに基づいて記録ヘッド62の各ノズルアレイから記録紙へインクが噴射される。

【0006】

また、データ転送処理を高速化する従来技術の一例としては、システムバスとローカルバスとの2つの独立したバスを設け、システムバスとローカルバスとの間に2つのバスコントローラを配置したものが公知である。データ転送装置において、一方のバスコントローラがシステムバス側に接続されているメインメモリにアクセスしている間、他方のバスコントローラがローカルバス側に接続されているローカルメモリにアクセスする並列処理を行うことによって、データ転送処理を高速化するものである（例えば、特許文献1参照）。

【0007】

【特許文献1】

特許第3251053号公報

【0008】

【発明が解決しようとする課題】

上記のような構成を成す従来の液体噴射装置のデータ転送装置10において、液体噴射実行速度を向上させるためには、つまり、インクジェット式記録装置に

において、記録速度をより高速にするためには、以下のような課題が障壁となってしまう。

【0009】

まず、圧縮された記録データをプログラムによって1バイトずつソフトウェア展開（解凍）していくので、大量の圧縮データを高速に処理することができない。仮に高速なクロックで動作可能な処理能力の高いマイクロプロセッサ11を用いれば高速化することができるが、そのような高価なマイクロプロセッサ11を実装するとデータ転送装置10のコストが大幅に高くなってしまうという問題が生じる。

【0010】

また、RAM12へのデータ転送及びRAM12からのデータ転送が全てマイクロプロセッサ11を介して行われるので、マイクロプロセッサ11が他のデータ処理や演算等を実行している間、例えば、マイクロプロセッサ11がRAM12へプログラム等をフェッチしている間、データ転送が待たされてしまう場合があり、それによって、データ転送遅延が生じてしまうので、高速なデータ転送ができなかった。

【0011】

さらに、前述した特許文献1に開示されている従来技術においては、やはり、圧縮された記録データをプログラムによって1バイトずつソフトウェア展開（解凍）していくことになるので、大量の圧縮データを高速に展開処理することができない。したがって、情報処理装置からデータ転送される圧縮された記録データを展開して記録ヘッドへデータ転送して記録を実行する記録装置等の液体噴射装置においては、データ転送処理を高速に行うことが可能な構成であっても圧縮データを展開する処理が依然として遅いために液体噴射実行速度を向上させることができないことになってしまう。

【0012】

本願発明は、このような状況に鑑み成されたものであり、その課題は、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現し、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することにある

。

【0013】**【課題を解決するための手段】**

上記課題を達成するため、本願発明の第1の態様は、メインメモリからシステムバスを経由してワード単位でDMA転送されるライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を備えた液体噴射データのデータ転送装置であって、前記メインメモリから前記デコード回路へDMA転送される圧縮データの先頭データを含むワードデータにおいては、圧縮された液体噴射データのデータ開始アドレス値を前記システムバスが1回のデータ転送で転送可能なデータのバイト数で除算した余りの数のバイト数だけ、先頭からデータを無効にする無効データマスク処理手段を備えている、ことを特徴とした液体噴射データのデータ転送装置である。

【0014】

まず、従来1バイトずつ行っていたメインメモリからの圧縮された液体噴射データのデータ転送をワード（2バイト）単位でデータ転送することによって、データ転送速度を2倍以上に高速化することができる。例えば、システムバスを16ビットバスとすると、1回のデータ転送で1ワード（2バイト）ずつメインメモリに格納されている圧縮された液体噴射データを読み出すことができ、システムバスを32ビットバスとすると、2ワード（4バイト）ずつメインメモリに格納されている圧縮された液体噴射データを読み出すことができる。

【0015】

また、従来プログラムによって圧縮された液体噴射データをソフトウェア展開していた処理を、デコード回路によってハードウェア展開する。つまり、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによって圧縮データを展開するより、圧縮データの展開専用のデコード回路によって圧縮データの展開のみを独立して実行することによって、圧縮された液体噴射データの展開処理を高速に実行することができる。

【0016】

さらに、DMA（Direct・Memory・Access）転送によって

高速なデータ転送が可能になる。DMA転送とは、転送元及び転送先アドレスや転送数を所定のレジスタに設定すると、後はマイクロプロセッサを介することなくハードウェアにて高速にデータ転送を行うことができる公知の転送方式である。

【0017】

しかし、16ビットバス等によるワード単位でのDMA転送は、常に偶数アドレスを先頭にして転送することしかできない。すると、例えば、システムバスが16ビットバスで、1回のデータ転送動作で1ワード（2バイト）ずつデータ転送を行う場合、メインメモリに格納されている圧縮された液体噴射データのデータ開始アドレスが奇数アドレスであると、圧縮データの先頭データを含む1ワード（2バイト）の転送データの中に、当該液体噴射データと無関係のバイトデータが混在することになる。つまり、ワードデータの1バイト目（偶数アドレスのバイトデータ）は、当該液体噴射データと無関係のバイトデータであり、ワードデータの2バイト目（奇数アドレスのバイトデータ）が当該液体噴射データの先頭のバイトデータとなる。そのため、開始アドレスが奇数アドレスの圧縮された液体噴射データをメインメモリからワード単位でデコード回路へDMA転送してハードウェア展開処理してしまうと、元の液体噴射データの先頭に無関係なデータがついた状態の液体噴射データが展開されてしまうことになる。

【0018】

そこで、メインメモリからデコード回路へDMA転送される圧縮データの先頭データを含む転送データに無関係なバイトデータが含まれている場合には、その無関係なバイトデータを無効にしてからデコード回路にてハードウェア展開する。具体的には、まず、メインメモリからデコード回路へのデータ転送経路であるシステムバスが1回のデータ転送で何バイトのデータを転送できるかを求める。例えば、16ビットバスならば、 $16 \text{ ビット} / 1 \text{ バイト} (8 \text{ ビット}) = 2 \text{ バイト}$ となり、32ビットバスなら4バイト、64ビットバスなら8バイトになる。

【0019】

そして、メインメモリからデコード回路でDMA転送する圧縮された液体噴射データのデータ開始アドレスを、上記のシステムバスが1回のデータ転送で転送

できるデータのバイト数で除算した余りを求める。つまり、データ開始アドレスをシステムバスが1回のデータ転送で転送するバイト数で除算して余りが生じなければ、圧縮データの先頭データを含むワード単位の転送データは、最初のバイトデータ（偶数アドレス）が圧縮された液体噴射データの先頭のバイトデータとなり、無関係なバイトデータが含まれていないことになる。一方、余りが出た場合には、圧縮データの先頭データを含むワード単位の転送データは、先頭からその余りの数のバイト数だけ無関係なバイトデータが含まれていることになる。

【0020】

したがって、無関係なバイトデータを含んでいる可能性があるメインメモリからデコード回路へDMA転送される圧縮データの先頭データを含むワードデータにおいては、メインメモリからデコード回路でDMA転送する圧縮された液体噴射データのデータ開始アドレスを、上記のシステムバスが1回のデータ転送で転送できるデータのバイト数で除算した余りの数のバイト数だけ無効にした上でデコード回路にてハードウェア展開してラインバッファに格納する。それによって、メインメモリからデコード回路へDMA転送される圧縮データの先頭データを含むワードデータに含まれた無関係なバイトデータのみを無効にして、圧縮された液体噴射データのみをデコード回路にて展開処理をしていくことができる。

【0021】

これにより、本願発明の第1の態様に示した液体噴射データのデータ転送装置によれば、デコード回路を内蔵したデコードユニット、及びマイクロプロセッサを介することなく高速なデータ転送が可能なDMA転送とによって、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現することができるので、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することができるという作用効果が得られる。

【0022】

そして、メインメモリからデコード回路へ圧縮された液体噴射データをワード単位でDMA転送することによって、さらに高速なデータ転送が可能になるとともに、メインメモリからワード単位でデコード回路へDMA転送される圧縮された液体噴射データに無関係なバイトデータが含まれる場合には、上記説明した無

効データマスク処理手段によつて的確に無関係なバイトデータを無効にした上で、圧縮された液体噴射データのみを確実に先頭からハードウェア展開処理することができる。

【0023】

本願発明の第2の態様は、メインメモリからシステムバスを経由して1ワードずつでDMA転送されるライン展開可能に圧縮された液体噴射データをハードウェア展開可能なデコード回路を備えた液体噴射データのデータ転送装置であつて、前記メインメモリに格納されている圧縮データのデータ開始アドレスが奇数アドレスの場合には、前記メインメモリから前記デコード回路へDMA転送される圧縮データの先頭データを含むワードデータの先頭1バイトを無効にする無効データマスク処理手段を備えている、ことを特徴とした液体噴射データのデータ転送装置である。

【0024】

上述した本願発明の第1の態様に示した液体噴射データのデータ転送装置と同様に、従来1バイトずつ行っていたメインメモリからの圧縮された液体噴射データのデータ転送をワード（2バイト）単位でデータ転送することによつて、データ転送速度を2倍以上に高速化することができる。例えば、システムバスを16ビットバスとすると、1回のデータ転送で1ワード（2バイト）ずつメインメモリに格納されている圧縮された液体噴射データを読み出すことができ、システムバスを32ビットバスとすると、2ワード（4バイト）ずつメインメモリに格納されている圧縮された液体噴射データを読み出すことができる。

【0025】

また、従来プログラムによつて圧縮された液体噴射データをソフトウェア展開していた処理を、デコード回路によつてハードウェア展開する。つまり、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによつて圧縮データを展開するより、圧縮データの展開専用のデコード回路によつて圧縮データの展開のみを独立して実行することによつて、圧縮された液体噴射データの展開処理を高速に実行することができる。さらに、DMA転送によつて高速なデータ転送が可能になる。

【0026】

そして、メインメモリからデコード回路へDMA転送される圧縮データの先頭データを含む転送データに無関係なバイトデータが含まれている場合には、その無関係なバイトデータを無効にしてからデコード回路にてハードウェア展開する。具体的には、圧縮された液体噴射データは、メインメモリからシステムバスを經由して1ワードずつでDMA転送されるので、メインメモリに格納されている圧縮された液体噴射データのデータ開始アドレスが奇数アドレスであると、圧縮データの先頭データを含む1ワード（2バイト）の転送データは、ワードデータの1バイト目（偶数アドレスのバイトデータ）が当該液体噴射データと無関係のバイトデータであり、ワードデータの2バイト目（奇数アドレスのバイトデータ）が当該液体噴射データの先頭のバイトデータとなる。

【0027】

そこで、メインメモリに格納されている圧縮された液体噴射データのデータ開始アドレスが奇数アドレスである場合には、メインメモリからデコード回路へDMA転送される圧縮データの先頭データを含むワードデータの先頭1バイトを無効にする。それによって、メインメモリからデコード回路へDMA転送される圧縮データの先頭データを含むワードデータに含まれた無関係なバイトデータのみを無効にして、圧縮された液体噴射データのみをデコード回路にて展開処理をしていくことができる。

【0028】

これにより、本願発明の第2の態様に示した液体噴射データのデータ転送装置によれば、上述した本願発明の第1の態様に示した液体噴射データのデータ転送装置と同様に、デコード回路を内蔵したデコードユニット、及びマイクロプロセッサを介することなく高速なデータ転送が可能なDMA転送とによって、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現することができるので、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することができるという作用効果が得られる。

【0029】

そして、メインメモリからデコード回路へ圧縮された液体噴射データを1ワー

ドずつDMA転送することによって、さらに高速なデータ転送が可能になるとともに、メインメモリから1ワードずつデコード回路へDMA転送される圧縮された液体噴射データに無関係なバイトデータが含まれる場合には、上記説明した無効データマスク処理手段によつて的確に無関係なバイトデータを無効にした上で、圧縮された液体噴射データのみを確実に先頭からハードウェア展開処理することができる。

【0030】

本願発明の第3の態様は、前述した第1の態様又は第2の態様において、前記システムバスとローカルバスとの2系統の独立したバスと、前記システムバスにデータ転送可能に接続された前記メインメモリと、前記ローカルバスにデータ転送可能に接続されたローカルメモリと、前記システムバスと前記ローカルバスとの間に相互にデータ転送可能に接続され、前記デコード回路、該デコード回路にて展開した液体噴射データがワード単位で格納されるラインバッファ、及び前記メインメモリからライン展開可能に圧縮された液体噴射データを前記デコード回路へDMA転送し、該ラインバッファに展開された液体噴射データをワード単位で前記ローカルメモリへDMA転送し、前記ローカルメモリに格納された展開後の液体噴射データを液体噴射ヘッドのレジスタへ順次DMA転送するDMA転送手段を有するデコードユニットとを備えている、ことを特徴とした液体噴射データのデータ転送装置である。

【0031】

このように、システムバスとローカルバスとの2つの独立したバスと、ローカルバスに接続されたローカルメモリとを備えた構成によって、マイクロプロセッサからメモリへのアクセス経路から分離して独立したメモリから液体噴射ヘッドへの液体噴射データのデータ転送経路を確保することができる。したがって、システムバス側と非同期にローカルバス側でローカルメモリから液体噴射ヘッドのレジスタへのデータ転送を実行することができる。それによって、マイクロプロセッサからメモリへのアクセス等によってメモリから液体噴射ヘッドへの液体噴射データのデータ転送が中断され、液体噴射データのデータ転送遅延が生じて液体噴射実行速度が低下してしまうことがない。

【 0 0 3 2 】

これにより、本願発明の第 3 の態様に示した液体噴射データのデータ転送装置によれば、前述した第 1 の態様又は第 2 の態様に記載の発明による作用効果に加えて、システムバスとローカルバスとの独立した 2 系統のバスと、デコード回路を内蔵したデコードユニット、及びマイクロプロセッサを介することなく高速なデータ転送が可能な DMA 転送手段とによって、圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現することができるので、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化することができるという作用効果が得られる。

【 0 0 3 3 】

本願発明の第 4 の態様は、前述した第 3 の態様において、前記メインメモリ、前記デコードユニット、及び前記液体噴射ヘッドのレジスタは、それぞれ回路ブロックとして 1 つの A S I C に内蔵されており、前記デコードユニットと前記液体噴射ヘッドのレジスタとは、前記 A S I C 内部の専用バスによって接続されている、ことを特徴とした液体噴射データのデータ転送装置である。

【 0 0 3 4 】

このように、圧縮データを格納するメインメモリがデコードユニットと同じ A S I C 内に回路ブロックとして構成されていることによって、特に 1 クロックでデータを転送するような高速な DMA 転送が可能になる。したがって、圧縮された液体噴射データをデコードユニットへより高速にデータ転送を行うことができるようになる。また、液体噴射ヘッドのレジスタも同じ A S I C に内蔵された回路ブロックで構成され、デコードユニットと A S I C 内部の専用バスで接続されていることによって、ローカルメモリから液体噴射ヘッドへの展開後の液体噴射データのデータ転送をより高速に行うことができるようになる。

【 0 0 3 5 】

これにより、本願発明の第 4 の態様に示した液体噴射データのデータ転送装置によれば、前述した第 3 の態様に示した発明による作用効果に加えて、圧縮された液体噴射データをデコードユニットへより高速にデータ転送することができ、かつ、ローカルメモリから液体噴射ヘッドへの展開後の液体噴射データのデータ

転送をより高速に行うことができるので、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0036】

本願発明の第5の態様は、前述した第3の態様又は第4の態様において、前記ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を2面有し、一面側に前記デコード回路にて展開した液体噴射データが順次格納され、所定のワード数の展開データが蓄積された時点で他面側に前記デコード回路にて展開した液体噴射データが順次格納されるとともに、所定のワード数の展開データが蓄積された時点で所定のワード数毎に展開データを前記ローカルメモリへDMA転送する、ことを特徴とした液体噴射データのデータ転送装置である。

【0037】

このように、ラインバッファは、所定のワード数の展開データを格納可能なバッファ領域を2面有しており、デコード回路にて展開したデータを一面側に格納していき、所定のワード数分蓄積された時点で、一面側の展開データをDMA転送手段によってワード単位で転送している間、デコード回路にて展開したデータを他面側に格納していくとができるので、圧縮データの展開処理とデータ転送処理とを平行して行うことができる。

【0038】

これにより、本願発明の第5の態様に示した液体噴射データのデータ転送装置によれば、前述した第3の態様又は第4の態様に示した発明による作用効果に加えて、圧縮データの展開処理とデータ転送処理とを平行して行うことができるので、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0039】

本願発明の第6の態様は、前述した第3の態様～第5の態様のいずれかにおいて、前記ローカルバスにおける前記デコードユニットから前記ローカルメモリ、及び前記ローカルメモリから前記液体噴射ヘッドのレジスタへのデータ転送は、バースト転送によって行われる、ことを特徴とした液体噴射データのデータ転送装置である。

【0040】

バースト転送とは、データ転送を高速化する公知の手法の1つであり、連続したデータを転送する際に、アドレスの指定などの手順を一部省略することによって、所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送することでデータ転送速度を上げるデータ転送方式である。メモリの読み書きの高速化など、様々な局面で利用されるデータ転送を高速化するための一般的な手法である。そして、従来システムバスを経由して行われていた液体噴射ヘッドへのデータ転送をシステムバスから独立したローカルバス経由で行うので、ローカルバス経由のデコードユニットからローカルメモリ、及びローカルメモリから液体噴射ヘッドのレジスタへのデータ転送をバースト転送によって行うことができる。

【0041】

つまり、システムバスを経由してメモリから液体噴射ヘッドへのデータ転送を行う従来のデータ転送装置においては、液体噴射ヘッドに対して所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送すると、マイクロプロセッサの要求によるデータ転送等を実行できなくなるなどの弊害が生じてしまうが、システムバスから独立したローカルバスにおいては、そのような弊害が生じないので、ローカルバスを経由する液体噴射ヘッドへのデータ転送をバースト転送で行うことができる。

【0042】

これにより、本願発明の第6の態様に示した液体噴射データのデータ転送装置によれば、前述した第3の態様～第5の態様に示した発明による作用効果に加えて、ローカルバスを経由する液体噴射ヘッドへのデータ転送をバースト転送で行うことによって、液体噴射装置の液体噴射実行速度をより高速化することができるという作用効果が得られる。

【0043】

また、システムバスとローカルバスが独立しており、デコードユニットのデコード回路とラインバッファとによって、システムバス側のデータ転送と非同期に液体噴射ヘッドへのデータ転送を行うことができるので、バースト転送による転

送速度の高速化の効果を最大限に発揮することができるという作用効果が得られる。

【0044】

本願発明の第7の態様は、前述した第1の態様～第6の態様のいずれかにおいて、前記圧縮された液体噴射データは、ランレングス圧縮データであり、前記デコード回路は、ランレングス圧縮データをハードウェア展開可能なデコード回路である、ことを特徴とした液体噴射データのデータ転送装置である。

【0045】

本願発明の第7の態様に示した液体噴射データのデータ転送装置によれば、ライン展開可能なランレングス圧縮データをハードウェア展開可能なデコード回路によって、前述した第1の態様～第6の態様のいずれかに示した発明による作用効果を得ることができる。

【0046】

本願発明の第8の態様は、前述した第3の態様～第7の態様のいずれかにおいて、前記デコードユニットは、前記メインメモリからDMA転送された非圧縮の液体噴射データを前記デコード回路にてハードウェア展開せずに、前記ラインバッファへ格納する手段を備えている、ことを特徴とした液体噴射データのデータ転送装置である。

【0047】

本願発明の第8の態様に示した液体噴射データのデータ転送装置によれば、前述した第3の態様～第7の態様のいずれかに示した発明による作用効果に加えて、メインメモリに格納されている液体噴射データが非圧縮の液体噴射データである場合には、デコード回路にてハードウェア展開せずに、そのままラインバッファへ格納する手段を備えているので、非圧縮の液体噴射データにおける液体噴射実行速度もより高速化することができるという作用効果が得られる。

【0048】

本願発明の第9の態様は、前述した第1の態様～第8の態様のいずれかに示した液体噴射データのデータ転送装置を備えた液体噴射装置である。

本願請求項9に記載の発明に係る液体噴射装置によれば、液体噴射装置におい

て、前述した第 1 の態様～第 8 の態様のいずれかに示した発明による作用効果を得ることができる。

【0 0 4 9】

【発明の実施の形態】

以下、本願発明の実施の形態を図面に基づいて説明する。

まず、本願発明に係る「液体噴射装置」としてのインクジェット式記録装置の第 1 実施例について説明する。図 1 は、本願発明に係るインクジェット式記録装置の概略の平面図であり、図 2 はその側面図である。

【0 0 5 0】

インクジェット式記録装置 5 0 には、記録紙 P に記録を実行する記録手段として、キャリッジガイド軸 5 1 に軸支され、主走査方向 X に移動するキャリッジ 6 1 が設けられている。キャリッジ 6 1 には、記録紙 P にインクを噴射して記録を行う「液体噴射ヘッド」としての記録ヘッド 6 2 が搭載されている。記録ヘッド 6 2 と対向して、記録ヘッド 6 2 のヘッド面と記録紙 P とのギャップを規定するプラテン 5 2 が設けられている。そして、キャリッジ 6 1 とプラテン 5 2 の間に記録紙 P を副走査方向 Y に所定の搬送量で搬送する動作と、記録ヘッド 6 2 を主走査方向 X に一往復させる間に記録ヘッド 6 2 から記録紙 P にインクを噴射する動作とを交互に繰り返すことによって記録紙 P に記録が行われる。

【0 0 5 1】

給紙トレイ 5 7 は、例えば普通紙やフォト紙等の記録紙 P を給紙可能な構成となっており、記録紙 P を自動給紙する給紙手段としての A S F（オート・シート・フィーダー）が設けられている。A S F は、給紙トレイ 5 7 に設けられた 2 つの給紙ローラ 5 7 b 及び図示してない分離パッドを有する自動給紙機構である。この 2 つの給紙ローラ 5 7 b の 1 つは、給紙トレイ 5 7 の一方側に配置され、もう 1 つの給紙ローラ 5 7 b は、記録紙ガイド 5 7 a に取り付けられており、記録紙ガイド 5 7 a は、記録紙 P の幅に合わせて幅方向に摺動可能に給紙トレイ 5 7 に設けられている。そして、給紙ローラ 5 7 b の回転駆動力と、分離パッドの摩擦抵抗により、給紙トレイ 5 7 に置かれた複数の記録紙 P を給紙する際に、複数の記録紙 P が一度に給紙されることなく 1 枚ずつ正確に自動給紙される。

【 0 0 5 2 】

記録紙 P を副走査方向 Y に搬送する記録紙搬送手段として、搬送駆動ローラ 5 3 と搬送従動ローラ 5 4 が設けられている。搬送駆動ローラ 5 3 は、ステッピング・モータ等の回転駆動力により回転制御され、搬送駆動ローラ 5 3 の回転により、記録紙 P は副走査方向 Y に搬送される。搬送従動ローラ 5 4 は、複数設けられており、それぞれ個々に搬送駆動ローラ 5 3 に付勢され、記録紙 P が搬送駆動ローラ 5 3 の回転により搬送される際に、記録紙 P に接しながら記録紙 P の搬送に従動して回転する。搬送駆動ローラ 5 3 の表面には、高摩擦抵抗を有する皮膜が施されている。搬送従動ローラ 5 4 によって、搬送駆動ローラ 5 3 の表面に押しつけられた記録紙 P は、その表面の摩擦抵抗によって搬送駆動ローラ 5 3 の表面に密着し、搬送駆動ローラ 5 3 の回転によって副走査方向に搬送される。

【 0 0 5 3 】

また、給紙ローラ 5 7 b と搬送駆動ローラ 5 3 との間には、従来技術において公知の技術による紙検出器 6 3 が配設されている。紙検出器 6 3 は、立位姿勢への自己復帰習性が付与され、かつ記録紙搬送方向にのみ回動し得るよう記録紙 P の搬送経路内に突出する状態で枢支されたレバーを有し、このレバーの先端が記録紙 P に押されることでレバーが回動し、それによって記録紙 P が検出される構成を成す検出器である。紙検出器 6 3 は、給紙ローラ 5 7 b より給紙された記録紙 P の始端位置、及び終端位置を検出し、その検出位置に合わせて記録領域が決定され、記録が実行される。

【 0 0 5 4 】

一方、記録された記録紙 P を排紙する手段として、排紙駆動ローラ 5 5 と排紙従動ローラ 5 6 が設けられている。排紙駆動ローラ 5 5 は、ステッピング・モータ等の回転駆動力により回転制御され、排紙駆動ローラ 5 5 の回転により、記録紙 P は副走査方向 Y に排紙される。排紙従動ローラ 5 6 は、周囲に複数の歯を有し、各歯の先端が記録紙 P の記録面に点接触するように鋭角的に尖っている歯付きローラになっている。複数の排紙従動ローラ 5 6 は、それぞれ個々に排紙駆動ローラ 5 5 に付勢され、記録紙 P が排紙駆動ローラ 5 5 の回転により排紙される際に記録紙 P に接して記録紙 P の排紙に従動して回転する。

【0055】

そして、給紙ローラ57bや搬送駆動ローラ53、及び排紙駆動ローラ55を回転駆動する図示していない回転駆動用モータ、並びにキャリッジ61を主走査方向に駆動する図示していないキャリッジ駆動用モータは、記録制御部100により駆動制御される。また、記録ヘッド62も同様に、記録制御部100により制御されて記録紙Pの表面にインクを噴射する。

【0056】

図3は、本願発明に係るインクジェット記録装置50の概略のブロック図である。

インクジェット式記録装置50は、各種記録処理の制御を実行する記録制御部100を備えている。記録制御部100は、システムバスSBとローカルバスLBとの2系統の独立したバスを備えている。システムバスSBには、MPU（マイクロプロセッサ）24、ROM21、RAM22、不揮発性記憶媒体23、I/O25、及びデコード回路28がデータ転送可能に接続されている。MPU24では各種処理の演算処理が行われる。ROM21には、MPU24の演算処理に必要なソフトウェア・プログラム及びデータがあらかじめ記憶されている。RAM22は、ソフトウェア・プログラムの一時的な記憶領域、MPU24の作業領域等として使用される。また、フラッシュメモリ等の不揮発性記憶媒体23には、MPU24における演算処理結果の所定のデータが格納され、インクジェット記録装置50の電源断の間においても該データを保持する構成となっている。

【0057】

さらに、記録制御部100は、外部装置とのインターフェース機能を有するインターフェース部27を介して、パーソナルコンピュータ等の情報処理装置200と接続され、その情報処理装置200との間において、システムバスSBを介して各種情報やデータの入出力が可能な構成となっている。そして、I/O25は、MPU24における演算処理結果に基づいて、入出力部26を介して各種モータ制御部31に対して出力制御を行い、かつ各種センサー32からの入力情報等を入力する。各種モータ制御部31は、インクジェット式記録装置50の各種モータを駆動制御する駆動制御回路であり、記録制御部100によって制御され

る。また、各種センサー 32 は、インクジェット記録装置 50 の各種状態情報を検出し、入出力部 26 を介して I/O 25 に出力する。

【0058】

記録実行時には、情報処理装置 200 がホスト側となり、情報処理装置 200 から圧縮された記録データ（液体噴射データ）が出力され、インクジェット式記録装置 50 は、インターフェース部 27 からシステムバス SB を介して圧縮された記録データを入力する。デコード回路 28 は、圧縮された記録データをハードウェア展開した後、展開後の記録データをローカルバス LB 経由でローカルメモリ 29 へ格納する。ローカルメモリ 29 に格納された展開後の記録データは、再びローカルバス LB を介してヘッド制御部 33 内部のレジスタから記録ヘッド 62 へ転送される。ヘッド制御部 33 は、記録ヘッド 62 に対して制御を行い、記録ヘッド 62 のヘッド面に多数配設されたノズルアレイから各色のインクを記録紙 P の記録面に噴射する。

【0059】

このように、システムバス SB とローカルバス LB との独立した 2 系統のバスと、圧縮データをハードウェア展開するデコード回路 28 とによって、圧縮データの高速な展開処理と、記録ヘッド 62 への高速なデータ転送とを実現することができるので、インクジェット式記録装置 50 の記録実行速度を従来と比較して飛躍的に高速化することができる。つまり、従来のように、MPU 24 において、圧縮データの展開処理以外にも多数の様々なデータ処理手順を順次実行するシングルスレッドのプログラムによって圧縮データを展開するのではなく、圧縮データの展開専用のデコード回路 28 によって圧縮データの展開のみを独立して実行することによって、圧縮された記録データの展開処理を高速に実行することができるものである。

【0060】

また、システムバス SB とローカルバス LB との 2 つの独立したバスと、ローカルバス LB に接続されたローカルメモリ 29 とを備えた構成によって、MPU 24 が接続されているシステムバス SB から分離されて独立した記録ヘッド 62 への記録データのデータ転送経路（ローカルバス LB）を確保することができる

。したがって、システムバス S B 側と非同期にローカルバス L B 側でローカルメモリ 29 から記録ヘッドのレジスタへのデータ転送を実行することができる。それによって、MP U 24 から R A M 22 へのアクセス等によって記録ヘッド 62 への記録データのデータ転送が中断され、記録データのデータ転送遅延が生じて記録実行速度が低下してしまうことがない。

【0061】

さらに、当該実施例においては、デコード回路 28 とローカルバス L B との間にワード単位で展開後のデータを格納するラインバッファ 281 が設けられている。デコード回路 28 にて展開された記録データは、いったんラインバッファ 281 に一時的に格納される。ラインバッファ 281 に格納された展開後の記録データは、2 ワード毎にローカルバス L B を介してローカルメモリ 29 へデータ転送される。このように、デコード回路 28 とローカルバス L B との間にワード単位で展開後のデータを格納するラインバッファ 281 を設けても良い。ワード単位で展開後のデータを格納するラインバッファ 281 を設けて、従来プログラムによって 1 バイトずつ展開していた圧縮データをワード単位（2 バイト）で展開してラインバッファ 281 に格納してワード単位でローカルメモリ 29 へデータ転送することによって、一度に展開してデータ転送する圧縮データの量が従来の 2 倍の量になるので、圧縮データの展開処理をより高速に実行することができるようになり、より好ましいと言える。

【0062】

図 4 は、本願発明に係る「液体噴射データのデータ転送装置」としてのデータ転送装置 10 の構成を示したブロック図である。図 5 は、データ転送装置 10 における記録データの流れを模式的に示したタイミングチャートである。

【0063】

記録制御部 100 は、A S I C（特定用途向け集積回路）4 を備えており、A S I C 4 は、前述したインターフェース部 27、前述したヘッド制御部 33、受信バッファ部 42、及び本願発明に係る「デコードユニット」としての D E C U 41 を内蔵している。D E C U 41 は、前述したデコード回路 28、ラインバッファ 281、及び「DMA 転送手段」を内蔵している（詳細は後述する）。また

、システムバス S B、及びローカルバス L Bは、16ビットバスであり、所定のデータ転送周期毎に1ワード（2バイト）のデータを転送することができる。以下、図5に示したタイミングチャートを参照しながらデータ転送装置10における記録データの流れを説明する。

【0064】

圧縮された記録データは、情報処理装置200からインターフェース部27を介して「メインメモリ」としての受信バッファ部42へシステムバス S Bを経由して1ワードずつDMA転送される（符号 T 1）。前述したように、DMA転送とは、転送元及び転送先アドレスや転送数を所定のレジスタに設定すると、後は M P U 2 4 を介することなくハードウェアにて高速にデータ転送を行うことができる転送方式である。次に、受信バッファ部42からシステムバス S Bを介して D E C U 4 1 へDMA転送される（符号 T 2）。つづいて、D E C U 4 1 の内部でデコード回路28によって、圧縮された1ワードのデータがハードウェア展開され、展開された記録データがラインバッファ281へ格納される（符号 T 3）。

【0065】

展開されてラインバッファ281に格納された記録データは、ラインバッファ281に格納された記録データが所定バイト数に達した時点で、システムバス S B側のデータ転送とは非同期にローカルバス L Bを経由してローカルメモリ29のビットマップエリアへDMA転送される（符号 T 4）。つづいて、ローカルメモリ29のビットマップエリアへ格納されたビットマップデータとしての記録データは、再びローカルバス L Bを経由してD E C U 4 1 へDMA転送され（符号 T 5）、D E C U 4 1 から内部バス I Bを経由してヘッド制御部33へDMA転送され（符号 T 6）、ヘッド制御部33内部のレジスタに格納された後、記録ヘッド62へDMA転送される（符号 T 7）。

【0066】

このように、受信バッファ部42（メインメモリ）からデコード回路28へのデータ転送、デコード回路28からローカルメモリ29へのデータ転送、及びローカルメモリ29から記録ヘッド62へのデータ転送をDMA転送としても良く

、それによって、より高速なデータ転送が可能になり、より好ましい。また、圧縮データを格納する「メインメモリ」が受信バッファ部 42 として DECU 41 と同じ ASIC 4 内に回路ブロックとして構成されていることによって、特に 1 クロックでデータを転送するような高速な DMA 転送が可能になる。尚、ASIC 4 に受信バッファ部 42 を設けず、RAM 22 の一部を「メインメモリ」として使用しても良い。

【0067】

図 6 は、本願発明に係る「デコードユニット」としての DECU 41 の構成を示したブロック図である。

前述した「DMA 転送手段」としての S-DMA コントローラ 411 は、システムバス SB 側の DMA 転送をコントロールする。S-DMA コントローラ 411 によって、受信バッファ部 42 に格納されている圧縮された記録データが 1 ワードずつ展開処理コントローラ 412 へ DMA 転送される。展開処理コントローラ 412 は、前述したデコード回路 28 とラインバッファ 281 を内蔵している。受信バッファ部 42 から S-DMA コントローラ 411 によって 1 ワードずつ DMA 転送された圧縮された記録データは、デコード回路 28 にて 1 ワードずつハードウェア展開され、展開された記録データがラインバッファ 281 へ格納されて蓄積される。

【0068】

同じく「DMA 転送手段」としての L-DMA コントローラ 413 は、ローカルバス LB 側の DMA 転送をコントロールする。また、ローカルメモリコントローラ 414 は、ローカルバス LB に接続されているローカルメモリ 29 の読み出し、及び書き込みを制御する。そして、ラインバッファ 281 に所定バイト数の展開後の記録データが蓄積された時点で、ラインバッファ 281 に蓄積された展開後の記録データは、L-DMA コントローラ 413 によってローカルメモリコントローラ 414 を介してローカルバス LB 経由でローカルメモリ 29 へシステムバス SB 側の DMA 転送とは非同期に DMA 転送される。ローカルメモリ 29 へ DMA 転送された展開後の記録データは、ローカルメモリ 29 の所定のビットマップエリアへ格納される。

【0069】

同じく「DMA転送手段」としてのI-DMAコントローラ415は、ASIC4内のDECU41とヘッド制御部33との間の専用バスである内部バスIBのDMA転送をコントロールする。ローカルメモリ29のビットマップエリアに格納された展開後の記録データは、I-DMAコントローラ415によってローカルメモリコントローラ414を介してローカルバスLB及び内部バスIBを経由してヘッド制御部33へDMA転送され、ヘッド制御部33内部のレジスタに格納された後、記録ヘッド62へDMA転送される。

【0070】

また、ラインバッファ281からローカルメモリ29へのDMA転送は、L-DMAコントローラ413によってバースト転送され、ローカルメモリ29から記録ヘッド62へのDMA転送は、I-DMAコントローラ415によってバースト転送される。前述したように、バースト転送とは、連続したデータを転送する際にアドレスの指定などの手順を一部省略することによって、所定のデータブロックのデータを全て転送し終えるまでの間バスを占有して転送するデータ転送方式である。L-DMAコントローラ413は、ラインバッファ281に所定バイト数の展開後の記録データが蓄積された時点で、所定バイト数の展開後の記録データを1ワードずつ、所定バイト数ローカルメモリ29へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。I-DMAコントローラ415は、ローカルメモリ29のビットマップエリアに格納されている展開後の記録データを所定バイト数のデータブロック毎に1ワードずつ、1つのデータブロックを全て記録ヘッド62へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。

【0071】

そして、ラインバッファ281からローカルメモリ29へのバースト転送と、ローカルメモリ29から記録ヘッド62へのバースト転送とが競合した場合には、ローカルメモリ29から記録ヘッド62へのバースト転送が優先され、ローカルメモリ29から記録ヘッド62へのバースト転送中は、ラインバッファ281からローカルメモリ29へのバースト転送は一時停止し、ローカルメモリ29か

ら記録ヘッド62への記録データに基づく記録ヘッド62のノズルアレイからのインク噴射動作が途切れないようにしている。

【0072】

このように、記録ヘッド62に対して所定のデータブロックのデータを全て転送し終えるまでの間ローカルバスLBを占有して転送することにより、システムバスSB側のMPU24の要求によってデータ転送等を実行できなくなるなどの弊害が生じないので、記録ヘッド62への記録データのデータ転送を高速に行うことができる。

【0073】

図7及び図8は、DECU41内部において、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものである。また、図9は、展開後の記録データがラインバッファ281からローカルメモリ29へ転送されて格納されるまでを模式的に示したものである。

【0074】

当該実施例においては、圧縮された記録データは、ランレングス圧縮方式によって圧縮されている。ランレングス圧縮方式は、公知のデータ圧縮方式であり、以下簡単に説明する。ランレングス圧縮データは、バイト境界の圧縮データであり、カウント（1バイト）とデータ（1バイト又は複数バイト）とがセットになっている。つまり、ランレングス圧縮データは、まずカウントがあり、その後は必ずデータがあるという構成になっている。カウントの値が128以上（負の定数）、つまり、80H以上の場合には、次の1バイトのデータを繰り返して展開することを意味しており、257からカウントの値を減算した数だけ、そのカウントの次の1バイトのデータを繰り返して展開する。一方、カウントの値が127以下、つまり、7FH以下の場合には、そのカウント以降に繰り返さないでそのまま展開するデータがつづくことを意味しており、そのカウントの値に1を加算したバイト数だけ、そのカウント以降のデータをそのまま繰り返さずに展開する。

【0075】

つづいて、ラインバッファ 281 の構成について説明する。ラインバッファ 281 は、8 ワード（16 バイト）の格納エリアに予備格納エリア 1 ワード（2 バイト）を加えた 9 ワードのデータ格納エリアを 2 面有しており、それぞれ A 面、B 面とする。デコード回路 28 にて 1 ワードずつ展開された記録データは、1 ワードずつ順番にラインバッファ 281 の A 面か B 面のどちらか一面側に順次格納されていき、所定バイト数、当該実施例においては 16 バイトの展開データが蓄積された時点で、他面側に順次格納されていく。また、蓄積された 16 バイトの展開データは、前述したように、ローカルバス LB を経由してローカルメモリ 29 に DMA 転送され、ローカルメモリ 29 の所定のビットマップエリアに格納される。

【0076】

このように、ラインバッファ 281 は、16 バイトの展開後の記録データを格納可能なバッファ領域を 2 面有しており、デコード回路 28 にて展開した記録データを一面側に格納していく。そして、16 バイト分蓄積された時点で、一面側の展開後の記録データを DMA 転送手段によってワード単位で転送している間、デコード回路 28 にて展開した記録データを他面側に格納していくとができるので、圧縮された記録データの展開処理とデータ転送処理とを平行して行うことができる。

【0077】

つづいて、ランレングス圧縮データの一例を挙げ、その圧縮データがデコード回路 28 にて展開され、ラインバッファ 281 に格納され、ラインバッファ 281 からローカルメモリ 29 へ格納される記録データの流れを説明する。

【0078】

受信バッファ部（メインメモリ）42 には、図示の如く FEH から始まる 24 ワード（48 バイト）のランレングス圧縮された記録データが格納されているとする。ランレングス圧縮された記録データは、1 ワードずつ、つまり、2 バイトずつデコード回路 28 へシステムバス SB を経由して DMA 転送され、ハードウェア展開され、ラインバッファ 281 へ格納される。当該実施例においては、ランレングス圧縮データのデータ開始アドレスは、偶数アドレスであり、ローカル

メモリ 29 側のビットマップデータ（イメージデータ）のデータ開始アドレスは、偶数アドレスとなる。また、ラインバッファ 281 からローカルメモリ 29 へ DMA 転送されるデータブロックのバイト数（1 ラインバイト数）は、16 バイトである。

【0079】

尚、図 7 に示したメインメモリ、DECU 41 内部のラインバッファ 281、及び図 9 に示したローカルメモリ 29 は、向かって左上端が偶数アドレスであり、左から右へ向かって順番に上位アドレスとなっていく、以下の図面においても全て同様とする。

【0080】

以下、1 ワードずつ順を追って説明していく。まず、受信バッファ部 42 から最初の 1 ワードの圧縮された記録データ（FEH、01H）が DECU 41 内部のデコード回路 28 へ DMA 転送される（転送 S1）。FEH はカウントであり、01H はデータである。カウントの値 FEH = 254 であり、128 以上なので、 $257 - 254 = 3$ 回、データ 01H が繰り返して展開され、ラインバッファ 281 の A 面側に 1 バイトずつ順次格納される。次に、デコード回路 28 に DMA 転送されるランレングス圧縮データは、03H、02H である（転送 S2）。03H はカウントであり、02H はデータである。カウントの値 03H = 3 であり、127 以下なので、このカウントの次のデータから $3 + 1 = 4$ バイト、繰り返さないで展開するデータがあることになる。つまり、カウント 03H 以降のデータ 02H、78H、55H、44H が繰り返さずにそのまま展開され、ラインバッファ 281 の A 面に順次格納される（転送 S2 ~ S4）。転送 S4 にて DMA 転送されたワードデータの上位側（奇数アドレス側）の FBH はカウントであり、次の 1 バイトのデータが 6 回（ $257 - 251 = 6$ ）繰り返して展開されることになる。

【0081】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、FFH、FEH である（転送 S5）。下位アドレス側（偶数アドレス側）の FFH はデータであり、その前のカウント FBH のデータである。したがって、FFH

が6回繰り返して展開され、ラインバッファ281のA面側に順次格納される。
また、上位アドレス側（奇数アドレス側）のFEHはカウントであり、次の1バイトのデータが3回（ $257 - 254 = 3$ ）繰り返して展開されることになる。
つづいて、デコード回路28にDMA転送される圧縮された記録データは、11H、06Hである（転送S6）。下位アドレス側（偶数アドレス側）の11Hはデータであり、その前のカウントFEHのデータである。したがって、11Hが3回繰り返して展開され、ラインバッファ281のA面側に順次格納される。また、上位アドレス側（奇数アドレス側）の06Hはカウントであり、以降7バイト（ $6 + 1 = 7$ ）のデータ（66H、12H、77H、45H、89H、10H、55H）が繰り返さずにそのまま展開され、ラインバッファ281のB面側に順次格納される（転送S7～S10）。

【0082】

一方、ラインバッファ281のA面側に1ラインバイト数、つまり16バイトの展開後の記録データが蓄積された時点で（転送S6の時点）、16バイトを1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終わるまでローカルバスLBを占有してバースト転送する（転送D1）。ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（a））。

【0083】

つづいて、デコード回路28にDMA転送される圧縮された記録データは、10H、FAHである（転送S11）。下位アドレス側（偶数アドレス側）の10Hはデータであり、その前のカウントFBHのデータである。したがって、10Hが6回繰り返して展開され、ラインバッファ281のB面側に順次格納される。また、上位アドレス側（奇数アドレス側）のFAHはカウントであり、次の1バイトのデータが7回（ $257 - 250 = 7$ ）繰り返して展開されることになる。つづいて、デコード回路28にDMA転送される圧縮された記録データは、2

0H、08Hである（転送S12）。下位アドレス側（偶数アドレス側）の20Hはデータであり、その前のカウントFAHのデータである。したがって、20Hが7回繰り返して展開され、ラインバッファ281のB面側に順次格納され、B面側の蓄積データが16バイトに達した時点で残りのデータがA面側に順次格納される。また、上位アドレス側（奇数アドレス側）の08Hはカウントであり、以降9バイト（ $8+1=9$ ）のデータ（12H、13H、14H、15H、16H、17H、18H、19H、20H）が繰り返さずにそのまま展開され、ラインバッファ281のA面側に順次格納される（図8の転送S13～S17）。

【0084】

一方、ラインバッファ281のB面側に1ラインバイト数、つまり16バイトの展開後の記録データが蓄積された時点で（転送S12の時点）、16バイトを1ラインのデータブロックとして、ローカルメモリ29へ1ワードずつDMA転送する。その際、L-DMAコントローラ413は（図6）、1ラインの展開後の記録データを全てローカルメモリ29へDMA転送し終わるまでローカルバスLBを占有してバースト転送する（転送D2）。ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（b））。

【0085】

つづいて、デコード回路28にDMA転送される圧縮された記録データは、11H、02Hである（転送S18）。下位アドレス側（偶数アドレス側）の11Hはデータであり、その前のカウントFDH（転送S17の上位アドレス側）のデータである。したがって、11Hが3回（ $257-254=3$ ）繰り返して展開され、ラインバッファ281のA面側に順次格納され、A面側の蓄積データが16バイトに達した時点で残りのデータがB面側に順次格納される。また、上位アドレス側（奇数アドレス側）の02Hはカウントであり、以降3バイト（ $2+1=3$ ）のデータ（98H、B0H、F2H）が繰り返さずにそのまま展開され、ラインバッファ281のB面側に順次格納される（転送S19～S20）。

【0086】

一方、ラインバッファ 281 の A 面側に 1 ラインバイト数、つまり 16 バイトの展開後の記録データが蓄積された時点で（転送 S 18 の時点）、16 バイトを 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送する。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終わるまでローカルバス LB を占有してバースト転送する（転送 D 3）。ローカルメモリ 29 へ転送された 1 ライン分の記録データは、ローカルメモリ 29 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ順次格納されていく（図 9（c））。

【0087】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、ABH、03H である（転送 S 21）。下位アドレス側（偶数アドレス側）の ABH はデータであり、その前のカウント FCH（転送 S 20 の上位アドレス側）のデータである。したがって、ABH が 5 回（ $257 - 252 = 5$ ）繰り返して展開され、ラインバッファ 281 の B 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 03H はカウントであり、以降 4 バイト（ $3 + 1 = 4$ ）のデータ（FFH、FEH、FCH、FDH）が繰り返さずにそのまま展開され、ラインバッファ 281 の B 面側に順次格納される（転送 S 22 ～ S 23）。

【0088】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、FEH、FFH である（転送 S 24）。下位アドレス側（偶数アドレス側）の FEH はカウントであり、上位アドレス側（奇数アドレス側）の FFH は、カウント FEH のデータである。したがって、FFH が 3 回（ $257 - 254 = 3$ ）繰り返して展開され、ラインバッファ 281 の B 面側に順次格納される。ラインバッファ 281 の B 面側に 1 ラインバイト数、つまり 16 バイトの展開後の記録データが蓄積された時点で（転送 S 24 の時点）、16 バイトを 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送する。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終わるまでローカルバス LB を占有してバー

スト転送する（転送D4）。

【0089】

ローカルメモリ29へ転送された1ライン分の記録データは、ローカルメモリ29の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから1ワードずつ順次格納されていく（図9（d））。そして、1回の主走査パスでインクを噴射するビットマップデータ分の記録データがローカルメモリ29に格納された時点で、ローカルメモリ29から記録ヘッド62へDMA転送される。その際、I-DMAコントローラ415は（図6）、1回の主走査パスでインクを噴射するビットマップデータ分の記録データを全てヘッド制御部33へDMA転送し終えるまでローカルバスLBを占有してバースト転送する。

【0090】

このようにして、従来プログラムによって圧縮された記録データをソフトウェア展開していた処理を、デコード回路28によってハードウェア展開することによって、圧縮された記録データの展開処理を高速に実行することができる。また、従来プログラムによって1バイトずつ展開していた圧縮された記録データをワード単位（2バイト）で展開していくので、圧縮された記録データの展開処理をより高速に実行することができる。そして、システムバスSBとローカルバスLBとの2つの独立したバスと、ローカルバスLBに接続されたローカルメモリ29とを備えた構成によって、システムバスSB側と非同期にローカルバスLB側でローカルメモリ29から記録ヘッド62へのデータ転送を実行することができる。それによって、MPU24からROM21やRAM22へのアクセス等により、記録ヘッド62への記録データのデータ転送が中断され、記録データの転送遅延が生じて記録実行速度が低下してしまうことがない。さらに、DMA転送によってさらに高速なデータ転送が可能になる。

【0091】

したがって、圧縮された記録データの高速な展開処理と、記録ヘッド62への高速なデータ転送とを実現することができるので、インクジェット式記録装置50の記録実行速度を従来と比較して飛躍的に高速化することができる。ちなみに、従来技術においては1Mバイト／秒前後だった記録ヘッド62へのデータ転送

速度は、本願発明に係るデータ転送装置 10 によって、8～10 Mバイト／秒にまで高速化することが可能になる。尚、記録ヘッド 62 のデータ処理能力が低いと、いくら高速なデータ転送を行っても記録ヘッド 62 のデータ処理能力の記録実行速度しか得られないので、十分処理の高い記録ヘッド 62 を配設する必要があるのは言うまでもないことである。

【0092】

また、本願発明に係るインクジェット式記録装置 50 の第 2 実施例としては、上述した第 1 実施例に加えて、DEC U 41 からローカルメモリ 29 へ展開後の記録データを DMA 転送して所定のビットマップエリアへ格納する際に、ビットマップエリアの下位アドレスから順番に格納する（横方向へ格納する）のではなく、記録ヘッド 62 にとって都合の良いデータ配列となるように 1 ラインのデータを縦方向に変換して格納していくものが挙げられる。

【0093】

図 10 は、展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送されて格納されるまでを模式的に示したものであり、1 ラインのデータが縦方向に変換されて格納される状態を示したものである。

【0094】

DMA 転送先であるローカルメモリ 29 のビットマップエリアにおいて、1 ラインのデータが縦方向に配置されて格納されるように、DEC U 41 内部の展開処理コントローラ 412（図 6）にて、ラインバッファ 281 に格納されている展開後の記録データに 1 ワード毎に、転送先アドレスを個別に設定する。そして、DEC U 41 内部の L-DMA コントローラ 413（図 6）は、その個別の転送先アドレスを DMA 転送の転送先アドレスに設定して、ラインバッファ 281 に格納されている展開後の記録データを 1 ワードずつローカルメモリ 29 へ DMA 転送する（データ並び替え手段）。

【0095】

このように、ラインバッファ 281 から 1 ライン（16 バイト）の記録データをローカルメモリ 29 へ DMA 転送する際に、DEC U 41 の内部で展開後の記録データの並び替えを行うことによって、従来のようにプログラムで 1 バイトず

つ順番にメモリ内のデータの並び替えを行うのと比較して、必要な記録データの並び替えを瞬時に行うことができるので、記録データの並び替えを高速に行うことができる。

【 0 0 9 6 】

さらに、本願発明に係るインクジェット式記録装置 5 0 の第 3 実施例としては、上述した第 1 実施例、又は第 2 実施例に加えて、受信バッファ部 4 2 に格納されているランレングス圧縮された記録データのデータ開始アドレスが奇数アドレスである場合には、受信バッファ部 4 2 からデコード回路 2 8 へ DMA 転送されるランレングス圧縮データの先頭データを含むワードデータの先頭 1 バイトのデータを無効にする無効データマスク処理手段を備えたものが挙げられる。

【 0 0 9 7 】

図 1 1 及び図 1 2 は、圧縮された記録データがデコード回路 2 8 でハードウェア展開され、ラインバッファ 2 8 1 へ格納されるまでを模式的に示したものであり、圧縮された記録データのデータ開始アドレスが奇数アドレスとなっている場合を示したものである。

【 0 0 9 8 】

受信バッファ部 4 2 (メインメモリ) に格納されているランレングス圧縮された記録データの先頭のバイトデータ (F E H) は、先頭のワードデータの上位アドレス (奇数アドレス) に格納されている。つまり、この先頭のバイトデータを含むワードデータの下位アドレス (偶数アドレス) には、記録データとは無関係なデータ (A A H) が格納されている。しかし、受信バッファ部 4 2 からデコード回路 2 8 へ 1 ワードずつ DMA 転送すると、偶数アドレスを先頭にして転送することしかできない。したがって、ランレングス圧縮された記録データの先頭のワードデータをそのままデコード回路 2 8 にてハードウェア展開して処理してしまうと、記録データとは無関係なデータが含まれた状態で展開されてしまうことになる、圧縮された記録データを正しく展開することができなくなってしまう。

【 0 0 9 9 】

そこで、展開処理コントローラ 4 1 2 (図 6) において、先頭のバイトデータを含むワードデータの下位アドレス (偶数アドレス) の無関係なバイトデータを

マスクして無効にしてからデコード回路 28 にて展開する。つまり、そのままデコード回路 28 にて先頭の 1 ワードを展開すると、AAH がカウントで FEH がデータになってしまうが、無関係なデータである AAH を無効にすることによって、FEH をカウントとして正しく展開していくことができる。

【0100】

次にデコード回路 28 に DMA 転送される圧縮された記録データは、01H、03H である（転送 S31）。下位アドレス側（偶数アドレス側）の 01H はデータであり、その前のカウント FEH のデータである。したがって、01H が 3 回（ $257 - 254 = 3$ ）繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 03H はカウントであり、以降 4 バイト（ $3 + 1 = 4$ ）のデータ（02H、78H、55H、44H）が繰り返さずにそのまま展開され、ラインバッファ 281 の A 面側に順次格納される（転送 S32～S33）。以下、第 1 実施例と同様の手順でランレングス圧縮された記録データが 1 ワードずつ展開されてラインバッファ 281 に順次格納され（転送 S32～S54）、1 ラインバイト数（16 バイト）の展開後の記録データが蓄積された時点でローカルメモリ 29 へ DMA 転送される（転送 D1～D4）。尚、受信バッファ部 42 に格納されているランレングス圧縮された記録データのデータ開始アドレスが、奇数アドレスか否かは、例えば MPU 24 にて実行されるファームウェアプログラム等で判定すれば良い。

【0101】

このようにして、受信バッファ部 42 に格納されているランレングス圧縮された記録データのデータ開始アドレスが奇数アドレスであっても、ランレングス圧縮された記録データの先頭から正確にデコード回路 28 にてハードウェア展開することができる。

【0102】

さらに、本願発明に係るインクジェット式記録装置 50 の第 4 実施例としては、上述した第 1 実施例～第 3 実施例に加えて、1 ラインバイト数を奇数バイトとしたものが挙げられる。

【0103】

図 13 及び図 14 は、圧縮された記録データがデコード回路 28 でハードウェア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、前述した第 1 実施例又は第 2 実施例において、1 ラインバイト数を 15 バイトとした場合を示したものである。また、図 15 は、第 4 実施例において、展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送されてライン縦並び変換されて格納されるまでを模式的に示したものであり、図 16 は、ライン縦並び変換されずに格納されるまでを模式的に示したものである。

【0104】

前述したように、展開後の記録データは、ラインバッファ 281 からローカルメモリ 29 へ 1 ワードずつ DMA 転送されるので、ローカルメモリ 29 のビットマップエリアへ展開後の記録データの格納も 1 ワードずつ行われ、DECU 41 からローカルメモリ 29 へ奇数バイトの記録データを DMA 転送することができない。そこで、展開処理コントローラ 412 (図 6) において、ラインバッファ 281 の 1 ラインバイト数を奇数バイト、当該実施例においては 15 バイトに設定し、ラインバッファ 281 の A 面側、又は B 面側に 15 バイトの展開後の記録データが蓄積された時点で、ローカルメモリ 29 へ DMA 転送する。したがって、15 バイト目の記録データが含まれるワードデータの上位アドレス側 (奇数アドレス側) は 00H の状態で DMA 転送されることになる (データ格納終了位置シフト手段)。

【0105】

転送 S61 ~ S64 までは、第 1 実施例 (図 7) の転送 S1 ~ S4 と同じなので説明は省略する。つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、FFH、FFH である (転送 S65)。下位アドレス側 (偶数アドレス側) の FFH はデータであり、その前のカウント FBH のデータである。したがって、FFH が 6 回 ($257 - 251 = 6$) 繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側 (奇数アドレス側) の FFH はカウントであり、次のデータが 2 回 ($257 - 255 = 2$) 繰り返して展開され、ラインバッファ 281 の A 面側に順次格納されることになる。

【0106】

つづいて、デコード回路 28 に DMA 転送される圧縮された記録データは、11H、06H である（転送 S66）。下位アドレス側（偶数アドレス側）の 11H はデータであり、その前のカウント FFH のデータである。したがって、FFH が 2 回繰り返して展開され、ラインバッファ 281 の A 面側に順次格納される。また、上位アドレス側（奇数アドレス側）の 06H は、カウントであり、以降 7 バイト（6+1=7）のデータ（66H、12H、77H、45H、89H、10H、55H）が繰り返さずにそのまま展開され、ラインバッファ 281 の B 面側に順次格納される（転送 S67～S70）。

【0107】

一方、ラインバッファ 281 の A 面側に 1 ラインバイト数、つまり 15 バイトの展開後の記録データが蓄積された時点で（転送 S66 の時点）、15 バイトを 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送する。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終わるまでローカルバス LB を占有してバースト転送する（転送 D1）。ローカルメモリ 29 へ転送された 1 ライン分の記録データは、ローカルメモリ 29 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図 15（a））。また、ライン縦並び変換しなければ、そのまま順次格納されていく（図 16（a））。以下、同様にしてランレングス圧縮された記録データをデコード回路 28 にてハードウェア展開していき（転送 S71～S84）、ラインバッファ 281 に 1 ライン分 15 バイトの展開後の記録データが蓄積された時点でローカルメモリ 29 へ DMA 転送する（転送 D2～D4）。

【0108】

図 17 及び図 18 は、圧縮された記録データがデコード回路 28 でハードウェア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、前述した第 3 実施例において、1 ラインバイト数を 15 バイトとした場合を示したものである。

【0109】

転送 S 9 1 ～ S 9 4 までは、第 2 実施例（図 1 1）の転送 S 3 1 ～ S 3 4 と同じなので説明は省略する。つづいて、デコード回路 2 8 に DMA 転送される圧縮された記録データは、F F H、1 1 H である（転送 S 9 5）。下位アドレス側（偶数アドレス側）の F F H はカウンタであり、上位アドレス側（奇数アドレス側）の 1 1 H はデータである。したがって、1 1 H が 2 回（ $257 - 255 = 2$ ）繰り返して展開され、ラインバッファ 2 8 1 の A 面側に順次格納される。

【0110】

そして、ラインバッファ 2 8 1 の A 面側に 1 ラインバイト数、つまり 1 5 バイトの展開後の記録データが蓄積された時点で（転送 S 9 5 の時点）、1 5 バイトを 1 ラインのデータブロックとして、ローカルメモリ 2 9 へ 1 ワードずつ DMA 転送される。その際、L-DMA コントローラ 4 1 3 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 2 9 へ DMA 転送し終わるまでローカルバス L B を占有してバースト転送する（転送 D 1）。ローカルメモリ 2 9 へ転送された 1 ライン分の記録データは、ローカルメモリ 2 9 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図 1 5（a））。また、ライン縦並び変換しなければ、そのまま順次格納されていく（図 1 6（a））。以下、同様にしてランレングス圧縮された記録データは、デコード回路 2 8 にてハードウェア展開され（転送 S 7 1 ～ S 8 4）、ラインバッファ 2 8 1 に 1 ライン分 1 5 バイトの展開後の記録データが蓄積された時点でローカルメモリ 2 9 へ DMA 転送される（転送 D 2 ～ D 4）。

【0111】

このようにして、ラインバッファ 2 8 1 に奇数バイトの展開後の記録データが蓄積された時点でローカルメモリ 2 9 へ DMA 転送することによって、最後のワードデータの上位アドレス側が 0 0 H の状態で転送されるので、ローカルメモリ 2 9 のビットマップエリアに格納された展開後の記録データは、図 1 5（d）及び図 1 6（d）に示したように、1 ラインの最後の 1 バイトが 0 0 H となり、1 ラインの記録データをデータ開始アドレスが偶数アドレスで奇数バイトとなるよ

うに、記録データをローカルメモリ 29 のビットマップエリアに格納していくことができる。

【0112】

さらに、本願発明に係るインクジェット式記録装置 50 の第 5 実施例としては、上述した第 2 実施例～第 4 実施例のいずれかに加えて、1 ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、記録データをローカルメモリ 29 のビットマップエリアに格納するものが挙げられる。

【0113】

記録ヘッド 62 のヘッド面に複数並んで配設されているノズル列は、ノズル列毎に噴射するインクの色が決まっている。一方、ローカルメモリ 29 のビットマップエリアに格納されている記録データは、ライン毎に各ノズル列に対応したインク色毎のデータとなっている。そして、そのノズル列の間隔によるインク噴射タイミングのずれを補正する手段において、先頭アドレスを奇数アドレスにして 1 ラインの記録データをローカルメモリ 29 のビットマップエリアに格納する必要がある場合がある。

【0114】

しかし、前述したように、受信バッファ部 42 からデコード回路 28 へ 1 ワードずつ DMA 転送することによって、ローカルメモリ 29 のビットマップエリアへ展開後の記録データは常に偶数アドレスを先頭にして格納されるので、そのままでは奇数アドレスを先頭にして記録データを格納することができない。そこで、展開処理コントローラ 412（図 6）において、デコード回路 28 にて展開した記録データをラインバッファ 281 に格納する際に、ラインバッファ 281 の 0 バイト目を空けた状態で、1 バイト目から格納していく（データ格納開始位置シフト手段）。つまり、デコードユニット 28 において、圧縮された記録データの展開処理した後、展開後の記録データをラインバッファ 281 に格納する際に、ラインバッファ 281 の 0 バイト目を空けた状態で 1 バイト目から格納し、ラインバッファ 281 に格納された展開後の記録データをラインバッファ 281 の 0 バイト目からローカルメモリ 29 のビットマップエリアへ DMA 転送する。

【0115】

図 19 及び図 20 は、圧縮された記録データがデコード回路 28 でハードウェア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、前述した第 2 実施例において、ラインバッファ 281 の 0 バイト目を空の状態のまま 1 バイト目から展開後の記録データを展開するようにした場合を示したものである。また、図 21 は、1 ライン 16 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして格納されるまでを模式的に示したものである。

【0116】

前述したように、ラインバッファ 281 は、A 面及び B 面とも 8 ワード（16 バイト）分の格納エリアに加えて、1 ワード（2 バイト）の予備格納エリアを備えている。デコード回路 28 にて 1 ワードずつ展開された記録データは、ラインバッファ 281 の A 面側の 0 バイト目が空のままの状態、1 バイト目から格納されていく。そして、0 バイト目を空にしたことによって格納エリアからはみ出してしまう 16 バイト目の記録データが予備格納エリアへ格納される。

【0117】

ラインバッファ 281 の A 面側に 16 バイトの展開後の記録データが蓄積された時点で 16 バイト分の格納エリアと予備格納エリアとの計 18 バイト（9 ワード）分の記録データが 1 ラインのデータブロックとして、ローカルメモリ 29 へ 1 ワードずつ DMA 転送される。その際、L-DMA コントローラ 413 は（図 6）、1 ラインの展開後の記録データを全てローカルメモリ 29 へ DMA 転送し終えるまでローカルバス LB を占有してバースト転送する（転送 D1）。ローカルメモリ 29 へ転送された 1 ライン分の記録データは、ローカルメモリ 29 の所定のビットマップエリア内に、偶数アドレスを先頭にして下位アドレスから 1 ワードずつ、前述したデータ並び替え手段によってライン縦並び変換されて格納されていく（図 21（a））。したがって、先頭に 1 バイトの空データが付加された状態でローカルメモリ 29 へ DMA 転送されてビットマップエリアの偶数アドレスに格納されるので、1 ラインの記録データは、先頭のデータが奇数アドレスから格納された状態となる。

【0118】

以下、同様にしてランレングス圧縮された記録データをデコード回路 28 にてハードウェア展開していき、ラインバッファ 281 に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点でローカルメモリ 29 へ DMA 転送する（転送 D2～D4）。尚、転送 S121～S144 の説明は、図 7 に示した転送 S1～S24 の説明と同様なので省略する。

【0119】

このようにして、デコード回路 28 にて 1 ワードずつ展開された記録データは、ラインバッファ 281 の A 面側の 0 バイト目が空のままの状態、1 バイト目から格納されていき、16 バイトの展開後の記録データが格納された時点でローカルメモリ 29 へ DMA 転送することによって、最初のワードデータの下位アドレス側が 00H の状態で転送されるので、ローカルメモリ 29 のビットマップエリアに格納された展開後の記録データは、図 21（d）に示したように、1 ラインの最初の 1 バイトが 00H となり、1 ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、記録データをローカルメモリ 29 のビットマップエリアに格納していくことができる。

【0120】

また、図 22 及び図 23 は、圧縮された記録データがデコード回路 28 でハードウェア展開され、ラインバッファ 281 へ格納されるまでを模式的に示したものであり、前述した第 4 実施例において、ラインバッファ 281 の 0 バイト目を空の状態のまま 1 バイト目から展開後の記録データを展開するようにした場合を示したものである。また、図 24 は、1 ライン 15 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして格納されるまでを模式的に示したものである。

【0121】

このように、1 ラインバイト数を 15 バイト、つまり奇数バイトとすることもできる。したがって、図 24（d）に示したように、1 ラインの最初の 1 バイトが 00H となり、1 ライン 15 バイトの記録データをデータ開始アドレスが奇数アドレスとなるようにローカルメモリ 29 のビットマップエリアに格納していくことができる。

【0122】

また、図25及び図26は、圧縮された記録データがデコード回路28でハードウェア展開され、ラインバッファ281へ格納されるまでを模式的に示したものであり、前述した第3実施例において、ラインバッファ281の0バイト目を空の状態のまま1バイト目から展開後の記録データを展開し、1ラインの記録データを16バイトとした場合を示したものである。同様に、図27及び図28は、前述した第3実施例において、ラインバッファ281の0バイト目を空の状態のまま1バイト目から展開後の記録データを展開し、1ラインの記録データを15バイトとした場合を示したものである。

【0123】

このように、受信バッファ部42に奇数アドレスを先頭にして格納されている圧縮された記録データを、デコード回路28にて展開した後、1ライン16バイト、又は15バイトの記録データをローカルメモリ29のビットマップエリアに奇数アドレスを先頭にして格納することもできる。

【0124】

さらに、本願発明に係るインクジェット式記録装置50の第6実施例としては、上述した第1実施例～第5実施例のいずれかに加えて、展開後の記録データをローカルメモリ29の異なる2つのビットマップエリアへ格納するものが挙げられる。図29は、1ライン16バイトの展開後の記録データがラインバッファ281からローカルメモリ29へ転送され、ライン縦並び変換されて偶数アドレスを先頭にして異なる2つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0125】

展開後のビットマップデータにおける副走査方向Yのドット間隔が、副走査方向Yの隣接するノズルアレイの間隔より小さい場合には、副走査方向Yに隣接するインクドットを1回の主走査で同時に形成することができないので、異なる主走査動作時に形成することになる。しかし、デコード回路28にて展開したビットマップデータは、副走査方向Yに隣接して形成されるインクドットデータが連続して並んでいるデータ構成となっているので、展開後のビットマップデータを

そのまま記録ヘッド 62 に転送して記録することができない。そのため、副走査方向 Y に隣接するインクドットデータを異なるビットマップエリアに格納して異なる主走査時に記録ヘッド 62 に転送できるように展開後のビットマップデータを分割する必要がある。

【0126】

そこで、あらかじめローカルメモリ 29 内に 2 つの異なるビットマップエリアを設ける。ここでは、それぞれイメージ 1、イメージ 2 とする。DMA 転送先であるローカルメモリ 29 のビットマップエリアにおいて、1 ラインのデータがイメージ 1 とイメージ 2 とに交互に格納されるように、展開処理コントローラ 412 (図 6) にてラインバッファ 281 に格納されている展開後の記録データに 1 ワード毎に、転送先アドレスを個別に設定する。そして、DECU 41 内部の L-DMA コントローラ 413 (図 6) は、その個別の転送先アドレスを DMA 転送の転送先アドレスに設定して、ラインバッファ 281 に格納されている展開後の記録データを 1 ワードずつローカルメモリ 29 へ DMA 転送する (データ分割手段)。

【0127】

まず、ラインバッファ 281 の A 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され (転送 D1)、イメージ 1 へ格納される (図 29 (a))。つづいて、ラインバッファ 281 の B 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され (転送 D2)、イメージ 2 へ格納される (図 29 (b))。つづいて、ラインバッファ 281 の A 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され (転送 D3)、イメージ 1 へ格納される (図 29 (c))。そして、ラインバッファ 281 の B 面側に 1 ライン分 16 バイトの展開後の記録データが蓄積された時点で 1 ライン分の記録データがローカルメモリ 29 へ DMA 転送され (転送 D4)、イメージ 2 へ格納される (図 29 (d))。

【0128】

このようにして、圧縮された記録データを展開処理した後、ラインバッファ 281 に格納されている展開後の記録データを、副走査方向 Y に隣接するインクドットが、それぞれ異なる主走査時に形成されるように、展開された記録データを 1 ライン分ずつローカルメモリ 29 の異なるビットマップエリアへ DMA 転送する。それによって、圧縮された記録データの展開処理（デコード回路 28）と展開後の記録データの分割（展開処理コントローラ 412）とをハードウェア処理によって高速に行うことができる。また、図 30 は、1 ライン 16 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されずにそのまま偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0129】

また、図 31 は、1 ライン 15 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されて偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。図 32 は、1 ライン 15 バイトの展開後の記録データがラインバッファ 281 からローカルメモリ 29 へ転送され、ライン縦並び変換されずにそのまま偶数アドレスを先頭にして異なる 2 つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0130】

このように、1 ラインバイト数を奇数バイトとして、ラインバッファ 281 に奇数バイトの展開後の記録データが格納された時点でローカルメモリ 29 へ DMA 転送することによって、1 ライン分の記録データは、最後のワードデータの上位アドレス側が 00H の状態で転送される。したがって、ローカルメモリ 29 のビットマップエリアに格納された展開後の記録データは、1 ラインの最後の 1 バイトが 00H となり、1 ラインの記録データは、データ開始アドレスが偶数アドレスで奇数バイトとなるように、イメージ 1 とイメージ 2 との 2 つの異なるビットマップエリアへライン毎にそれぞれ格納される。

【0131】

また、図 33 は、1 ライン 16 バイトの展開後の記録データがラインバッファ

281からローカルメモリ29へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして異なる2つのビットマップエリアへ格納されるまでを模式的に示したものである。図34は、1ライン15バイトの展開後の記録データがラインバッファ281からローカルメモリ29へ転送され、ライン縦並び変換されて奇数アドレスを先頭にして異なる2つのビットマップエリアへ格納されるまでを模式的に示したものである。

【0132】

このように、デコード回路28にて1ワードずつ展開された記録データは、ラインバッファ281のA面側の0バイト目が空のままの状態、1バイト目から格納されていき、16バイトの展開後の記録データが格納された時点でローカルメモリ29へDMA転送することによって、最初のワードデータの下位アドレス側が00Hの状態転送されるので、ローカルメモリ29のビットマップエリアに格納された展開後の記録データは、1ラインの最初の1バイトが00Hとなり、1ラインの記録データをデータ開始アドレスが奇数アドレスとなるように、イメージ1とイメージ2との2つの異なるビットマップエリアへライン毎にそれぞれ格納される。

【0133】

さらに、本願発明に係るインクジェット式記録装置50の第7実施例としては、前述した第1実施例～第6実施例のいずれかにおいて、受信バッファ部42に格納されている記録データが非圧縮データである場合には、展開処理をせずにビットマップエリアへ格納するものが挙げられる。図35は、非圧縮の記録データがそのままラインバッファ281に格納され、ローカルメモリ29へDMA転送される状態を模式的に示したものである。

【0134】

このように、情報処理装置200等から受信バッファ部42へ転送された記録データが非圧縮のデータである場合には、デコード回路28にて展開処理せずに、そのままラインバッファ281に1ワードずつ格納される。そして、その後は、圧縮された記録データをデコード回路28にて展開した場合と同様に、展開処理コントローラ（図6）において、前述した第2実施例～第6実施例に示したよ

うに、1ラインバイト数を16バイト又は15バイトに設定し、記録データの並び替えたり、あるいは、先頭アドレスを奇数アドレスにしてローカルメモリ29へ格納したり、2つの異なるビットマップエリアに格納したりすることができる。

【0135】

尚、本願発明は上記実施例に限定されることなく、特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本願発明の範囲内に含まれるものであることは言うまでもない。

【図面の簡単な説明】

- 【図1】 本願発明に係るインクジェット式記録装置の平面図である。
- 【図2】 本願発明に係るインクジェット式記録装置の側面図である。
- 【図3】 本願発明に係るインクジェット記録装置のブロック図である。
- 【図4】 データ転送装置の構成を示したブロック図である。
- 【図5】 記録データの流れを示したタイミングチャートである。
- 【図6】 DECUの構成を示したブロック図である。
- 【図7】 圧縮データが展開される流れを模式的に示したものである。
- 【図8】 圧縮データが展開される流れを模式的に示したものである。
- 【図9】 展開後の記録データを模式的に示したものである。
- 【図10】 展開後の記録データを模式的に示したものである。
- 【図11】 圧縮データが展開される流れを模式的に示したものである。
- 【図12】 圧縮データが展開される流れを模式的に示したものである。
- 【図13】 圧縮データが展開される流れを模式的に示したものである。
- 【図14】 圧縮データが展開される流れを模式的に示したものである。
- 【図15】 展開後の記録データを模式的に示したものである。
- 【図16】 展開後の記録データを模式的に示したものである。
- 【図17】 圧縮データが展開される流れを模式的に示したものである。
- 【図18】 圧縮データが展開される流れを模式的に示したものである。
- 【図19】 圧縮データが展開される流れを模式的に示したものである。
- 【図20】 圧縮データが展開される流れを模式的に示したものである。

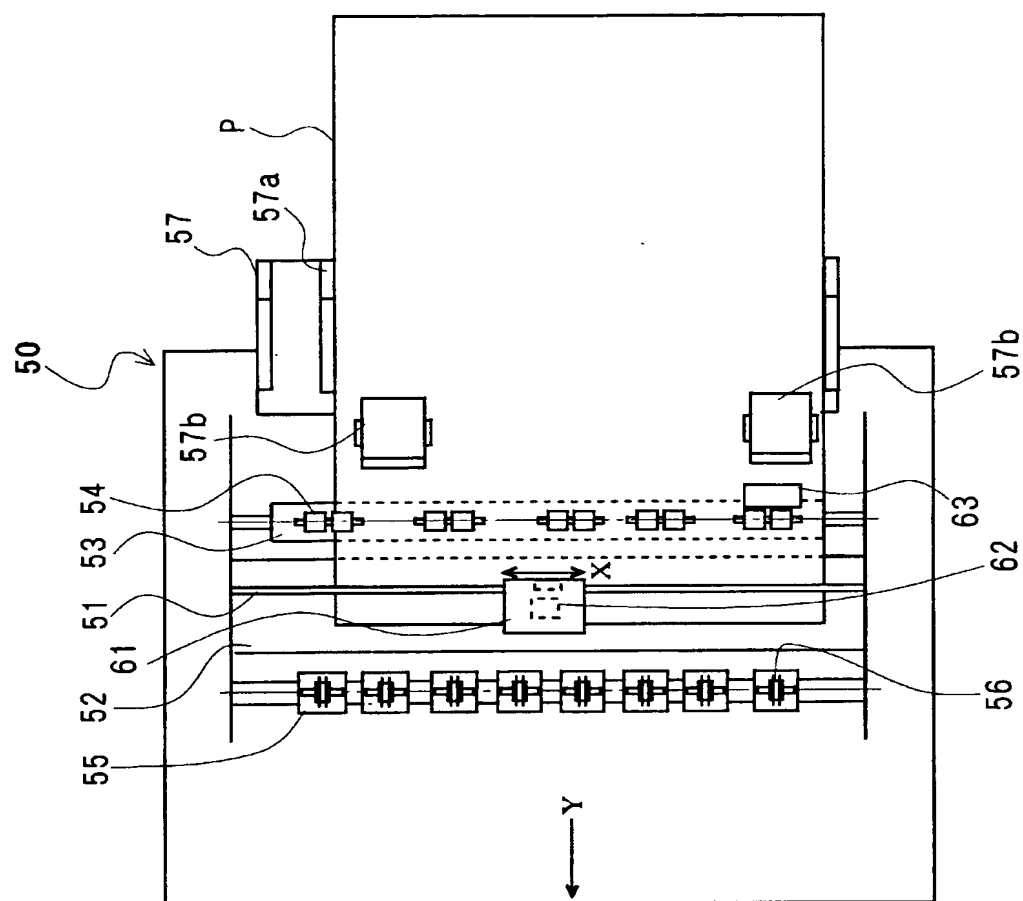
- 【図 2 1】 展開後の記録データを模式的に示したものである。
- 【図 2 2】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 3】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 4】 展開後の記録データを模式的に示したものである。
- 【図 2 5】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 6】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 7】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 8】 圧縮データが展開される流れを模式的に示したものである。
- 【図 2 9】 展開後の記録データを模式的に示したものである。
- 【図 3 0】 展開後の記録データを模式的に示したものである。
- 【図 3 1】 展開後の記録データを模式的に示したものである。
- 【図 3 2】 展開後の記録データを模式的に示したものである。
- 【図 3 3】 展開後の記録データを模式的に示したものである。
- 【図 3 4】 展開後の記録データを模式的に示したものである。
- 【図 3 5】 非圧縮の記録データが転送される状態を示したものである。
- 【図 3 6】 従来技術におけるデータ転送装置を示したブロック図である。

【符号の説明】

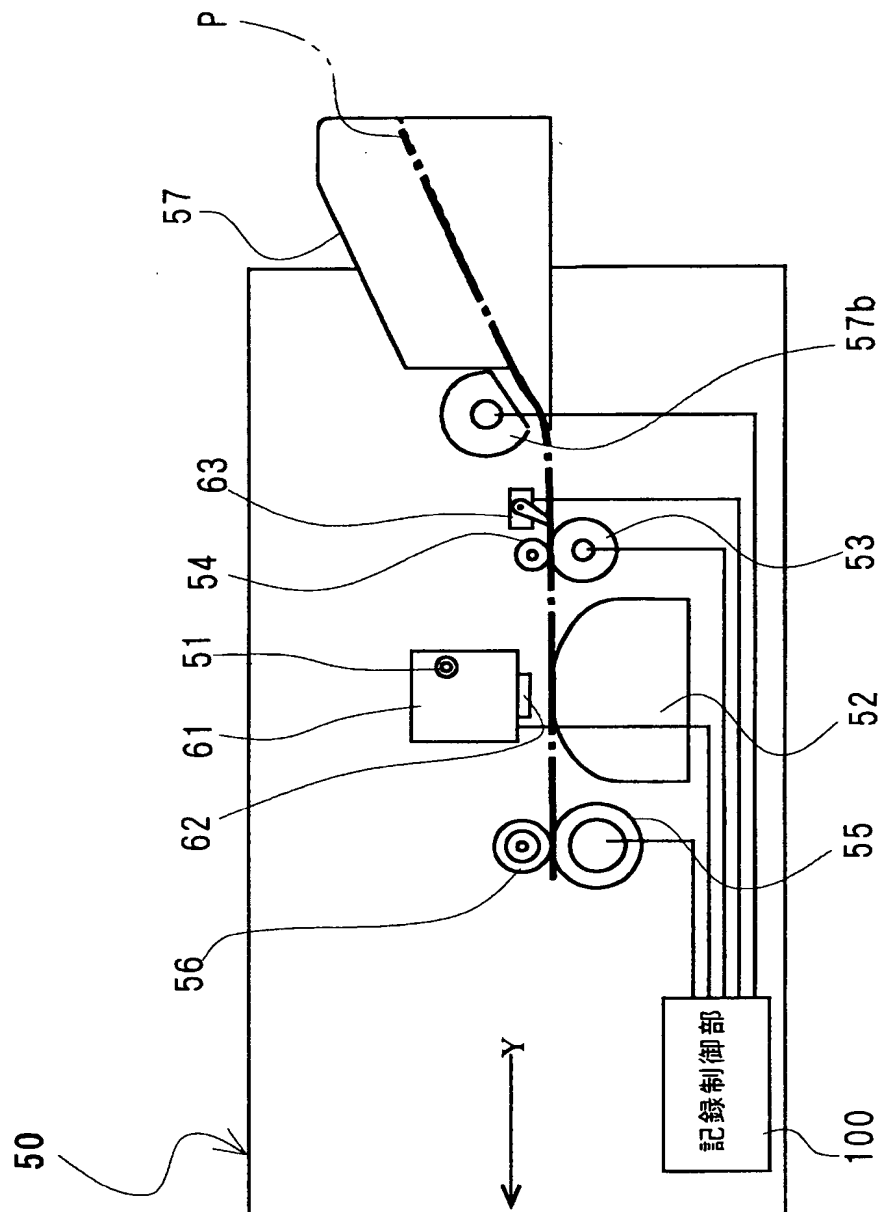
4 ASIC、10 データ転送装置、21 ROM、22 RAM、24 MPU、27 インターフェース部、28 デコード回路、29 ローカルメモリ、33 ヘッド制御部、41 DECU（デコードユニット）、42 受信バッファ部、50 インクジェット式記録装置、51 キャリッジガイド軸、52 プラテン、53 搬送駆動ローラ、54 搬送従動ローラ、55 排紙駆動ローラ、56 排紙従動ローラ、57 給紙トレイ、57b 給紙ローラ、61 キャリッジ、62 記録ヘッド、63 紙検出器、100 記録制御部、200 情報処理装置、281 ラインバッファ、411 S-DMAコントローラ、412 展開処理コントローラ、413 L-DMAコントローラ、414 ローカルメモリコントローラ、415 I-DMAコントローラ、X 主走査方向、Y 副走査方向、SB システムバス、LB ローカルバス、IB 内部バス

【書類名】 図面

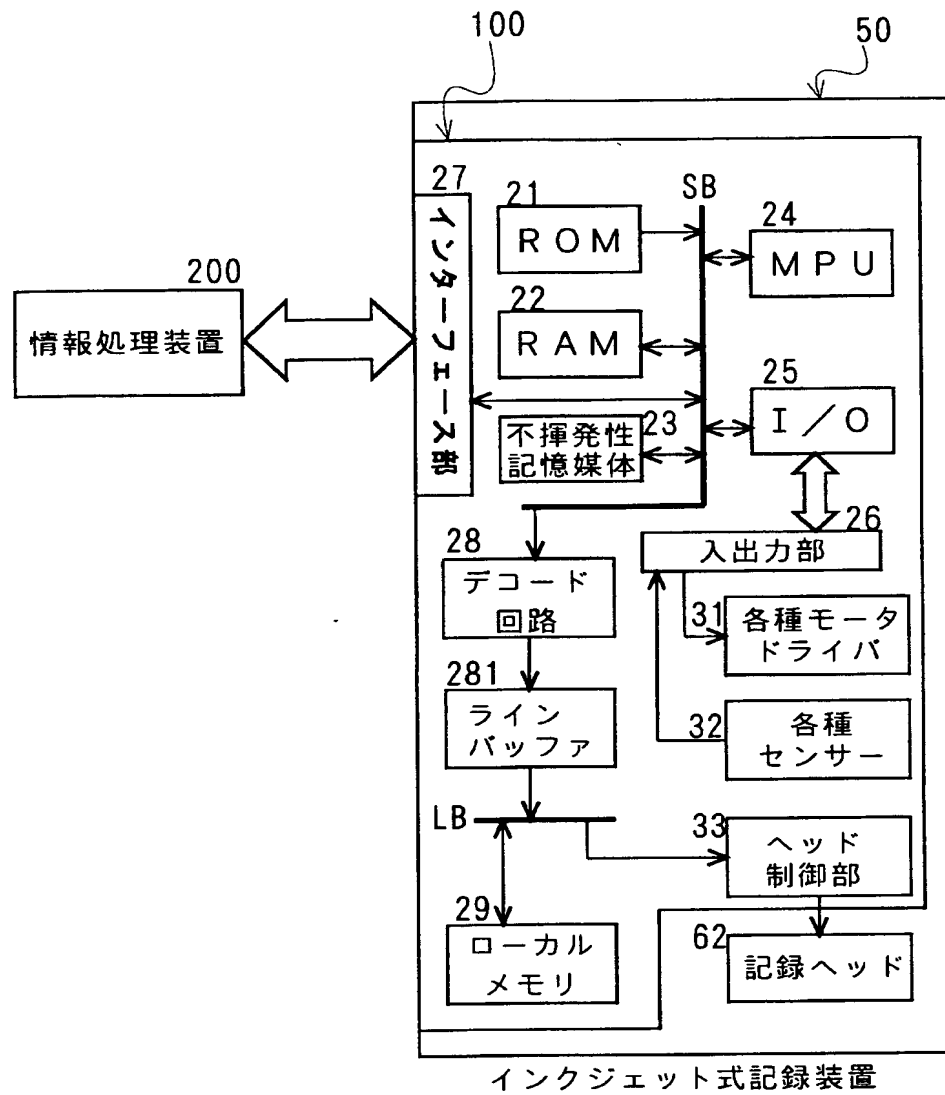
【図 1】



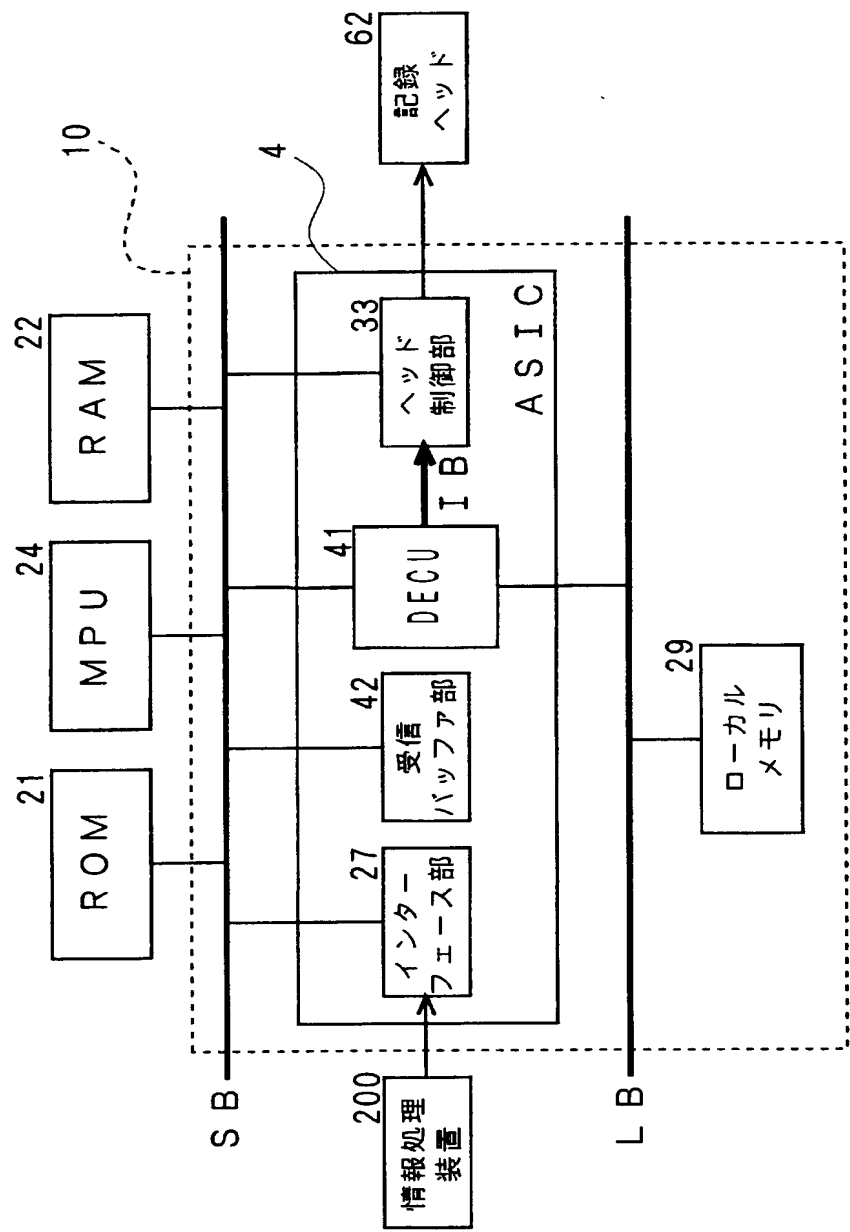
【図 2】



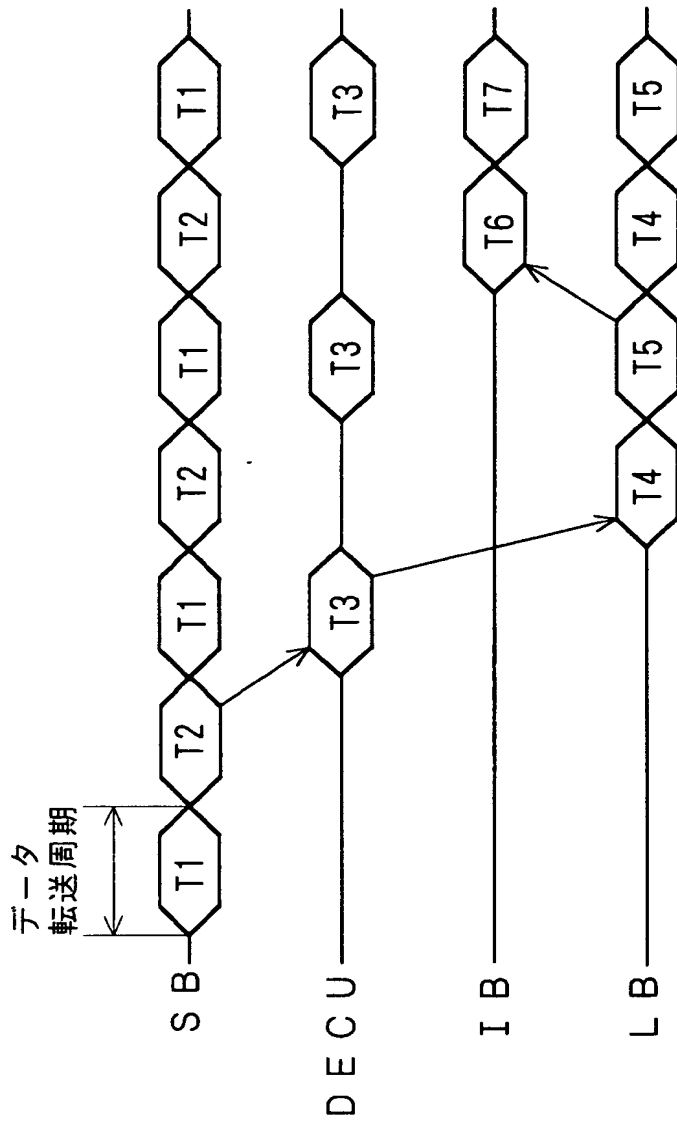
【図 3】



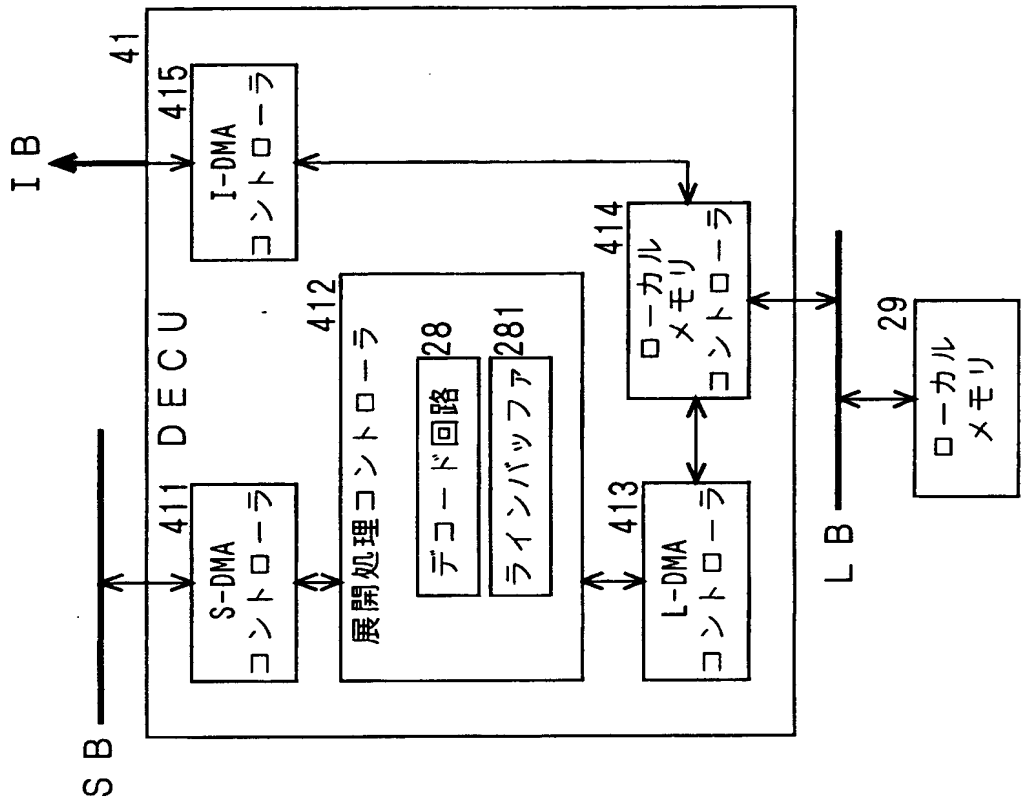
【図 4】



【図 5】



【図 6】



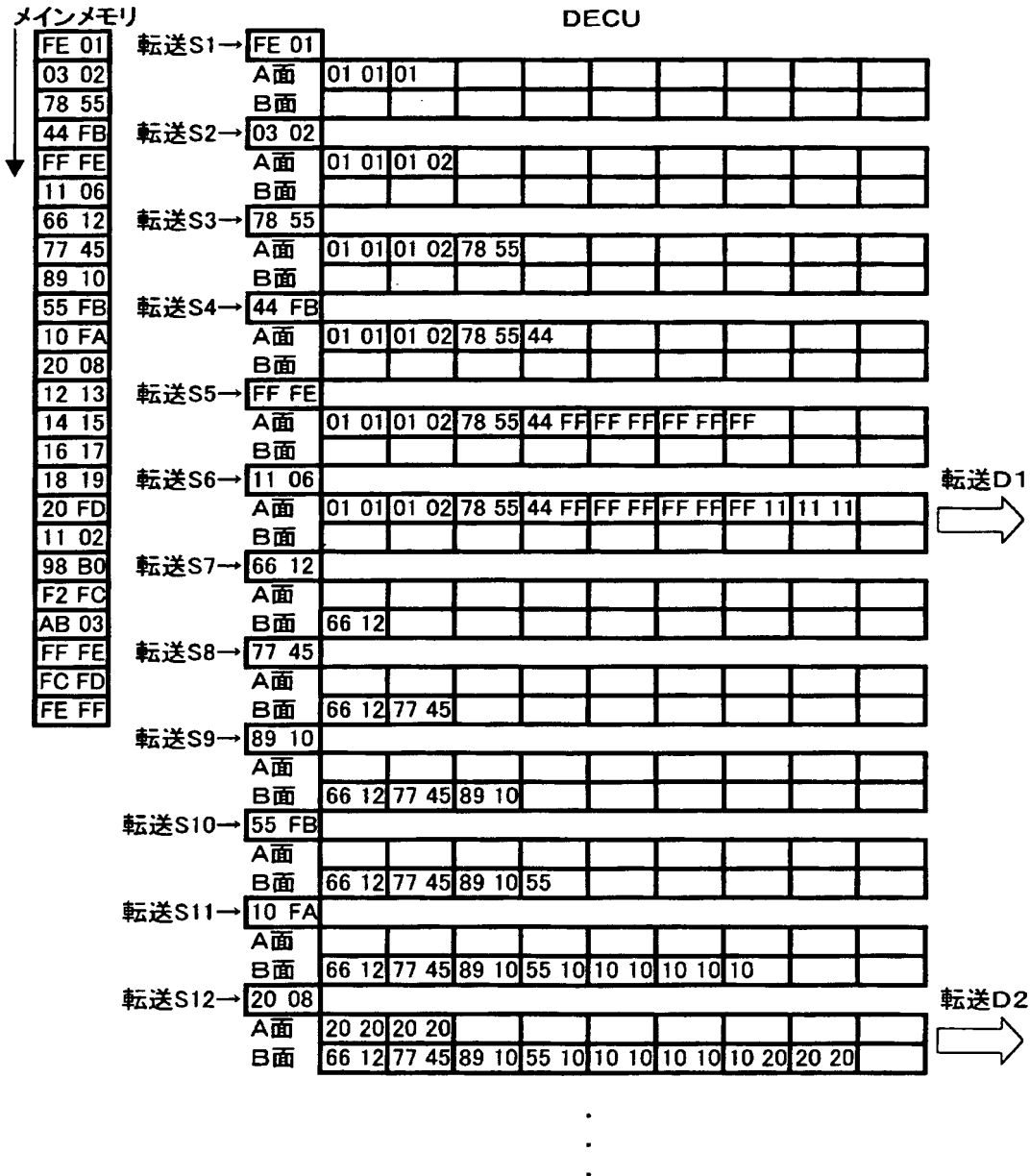
【図 7】

動作条件

メインメモリ側: ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 16バイト



【図 8】



【図 9】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

ローカルメモリ

(a) D1→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(b) D2→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(c) D3→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 11
00 00	00 00	00 00	00 00
00 00	00 00	00 00	00 00

(d) D4→

01 01	01 02	78 55	44 FF
FF FF	FF FF	FF 11	11 11
66 12	77 45	89 10	55 10
10 10	10 10	10 20	20 20
20 20	20 20	12 13	14 15
16 17	18 19	20 11	11 11
11 98	B0 F2	ABAE	ABAB
AB FF	FE FC	FD FF	FF FF

【図 10】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

ローカルメモリ

(a)

D1 ↓

01 01	00 00	00 00	00 00	...	00 00
01 02	00 00	00 00	00 00	...	00 00
78 55	00 00	00 00	00 00	...	00 00
44 FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF FF	00 00	00 00	00 00	...	00 00
FF 11	00 00	00 00	00 00	...	00 00
11 11	00 00	00 00	00 00	...	00 00

(b)

D2 ↓

01 01	66 12	00 00	00 00	...	00 00
01 02	77 45	00 00	00 00	...	00 00
78 55	89 10	00 00	00 00	...	00 00
44 FF	55 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF FF	10 10	00 00	00 00	...	00 00
FF 11	10 20	00 00	00 00	...	00 00
11 11	20 20	00 00	00 00	...	00 00

(c)

D3 ↓

01 01	66 12	20 20	00 00	...	00 00
01 02	77 45	20 20	00 00	...	00 00
78 55	89 10	12 13	00 00	...	00 00
44 FF	55 10	14 15	00 00	...	00 00
FF FF	10 10	16 17	00 00	...	00 00
FF FF	10 10	18 19	00 00	...	00 00
FF 11	10 20	20 11	00 00	...	00 00
11 11	20 20	11 11	00 00	...	00 00

(d)

D4 ↓

01 01	66 12	20 20	11 98	...	00 00
01 02	77 45	20 20	B0 F2	...	00 00
78 55	89 10	12 13	ABAE	...	00 00
44 FF	55 10	14 15	ABAE	...	00 00
FF FF	10 10	16 17	ABFF	...	00 00
FF FF	10 10	18 19	FEFC	...	00 00
FF 11	10 20	20 11	FDFF	...	00 00
11 11	20 20	11 11	FF FF	...	00 00

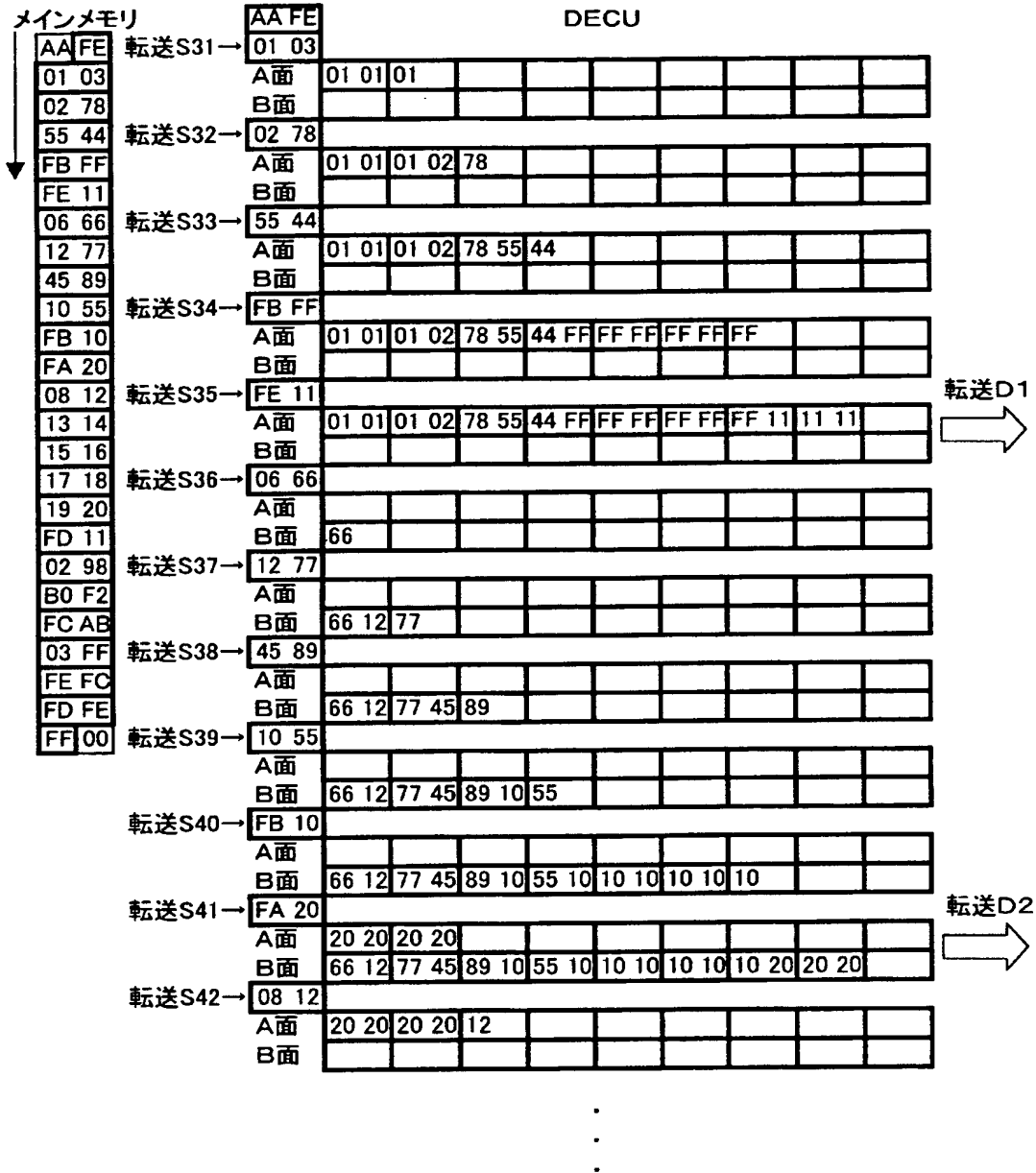
【図 11】

動作条件

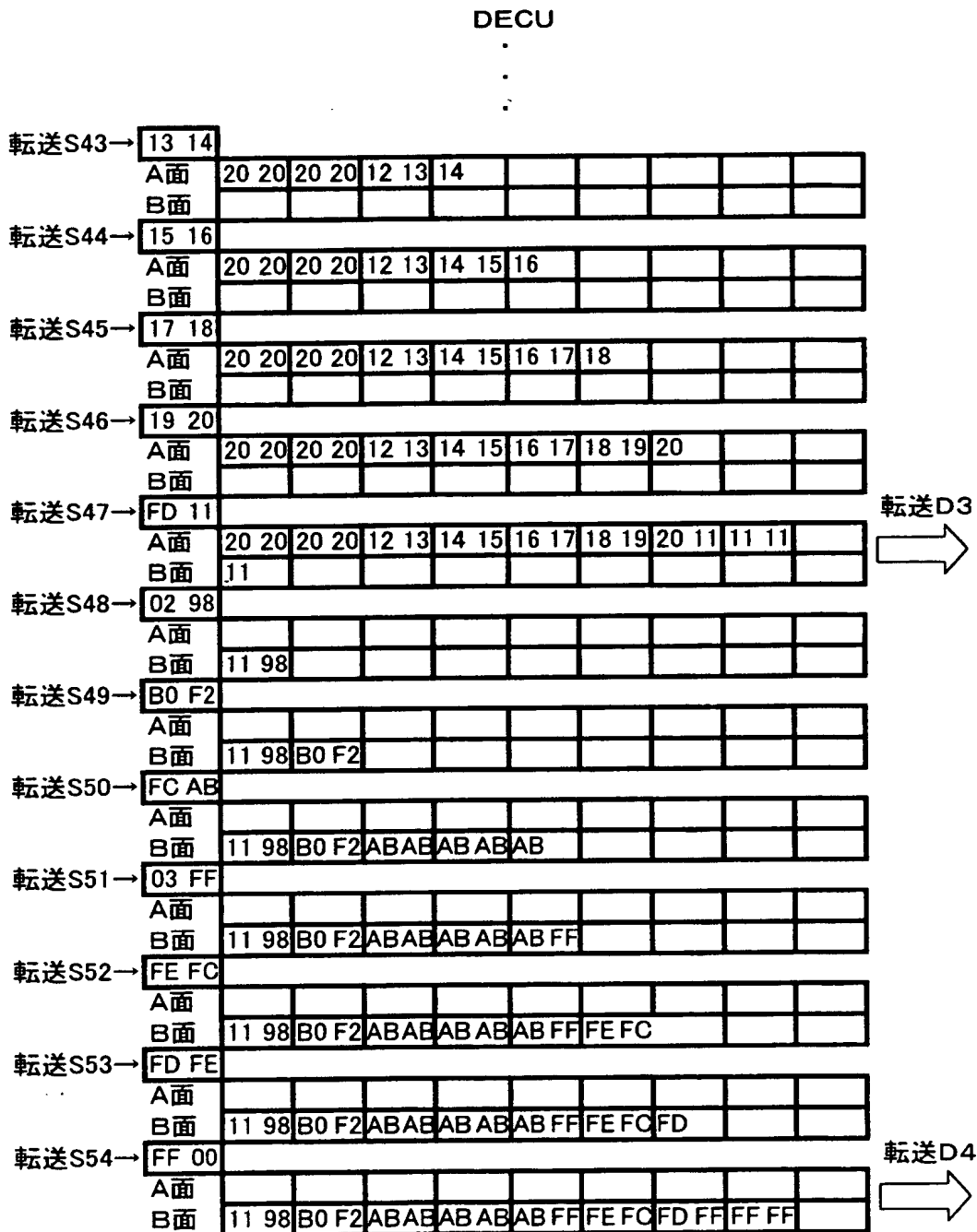
メインメモリ側: ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 16バイト



【図 12】



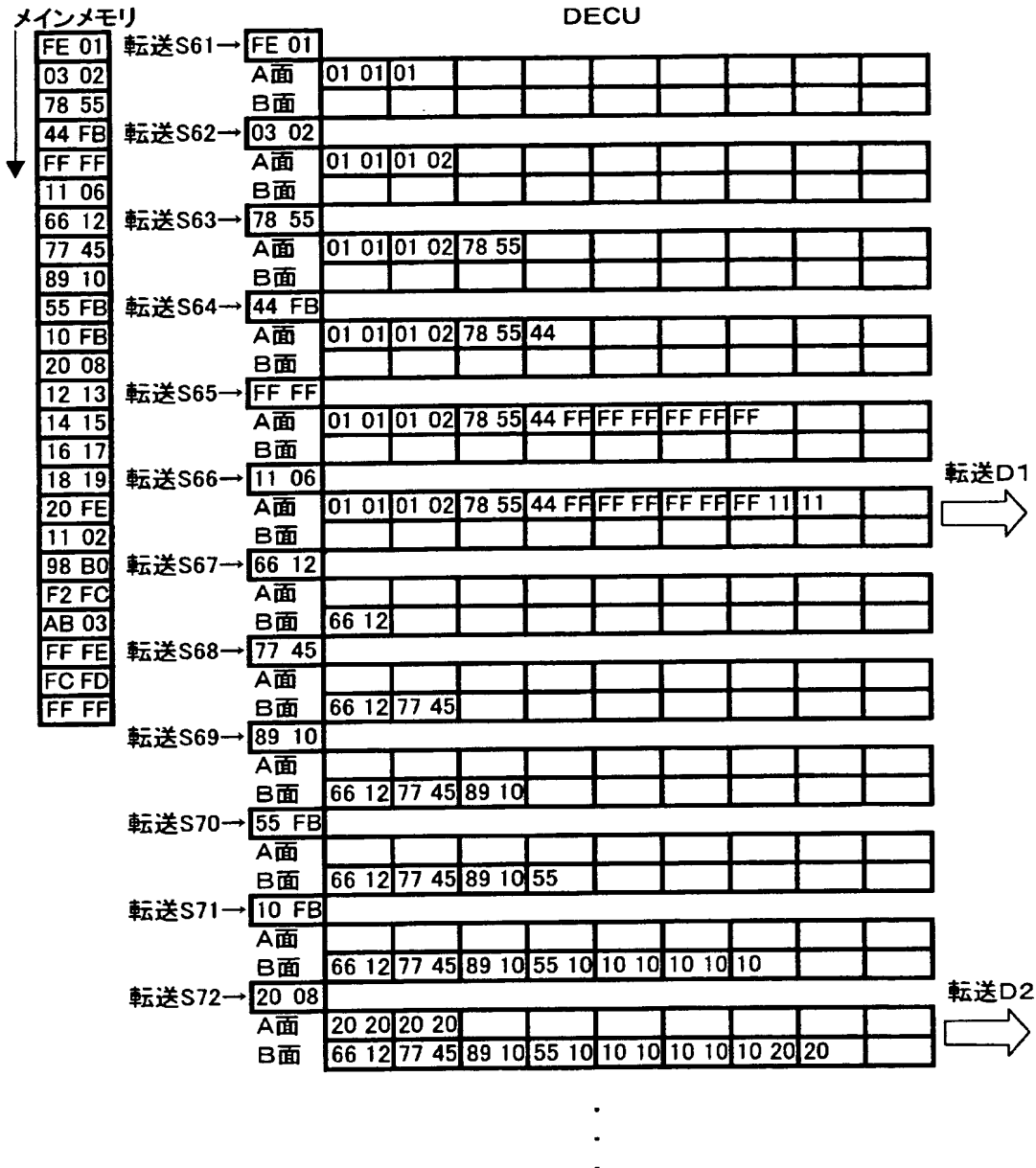
【図 13】

動作条件

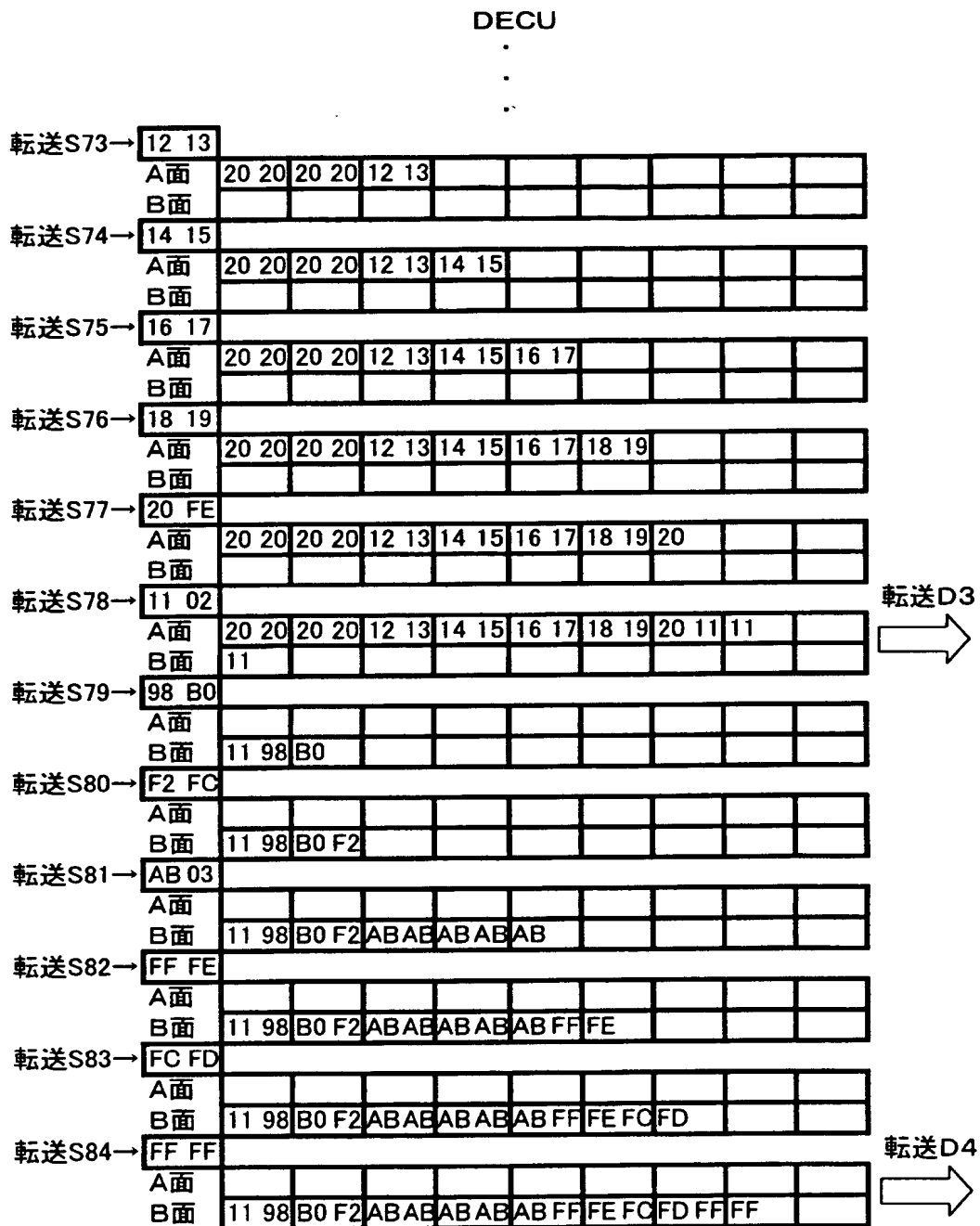
メインメモリ側 : ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 15バイト



【図 14】



【図 15】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 60バイト(15×4)
 1ラインバイト数: 15バイト
 展開ライン数: 4ライン

ローカルメモリ														
D1 ↓														
(a)	01	01	00	00	00	00	00	00	00	00	00	00	00	00
	01	02	00	00	00	00	00	00	00	00	00	00	00	00
	78	55	00	00	00	00	00	00	00	00	00	00	00	00
	44	FF	00	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00
	FF	11	00	00	00	00	00	00	00	00	00	00	00	00
	11	00	00	00	00	00	00	00	00	00	00	00	00	00
D2 ↓														
(b)	01	01	66	12	00	00	00	00	00	00	00	00	00	00
	01	02	77	45	00	00	00	00	00	00	00	00	00	00
	78	55	89	10	00	00	00	00	00	00	00	00	00	00
	44	FF	55	10	00	00	00	00	00	00	00	00	00	00
	FF	FF	10	10	00	00	00	00	00	00	00	00	00	00
	FF	FF	10	10	00	00	00	00	00	00	00	00	00	00
	FF	11	10	20	00	00	00	00	00	00	00	00	00	00
	11	00	20	00	00	00	00	00	00	00	00	00	00	00
D3 ↓														
(c)	01	01	66	12	20	20	00	00	00	00	00	00	00	00
	01	02	77	45	20	20	00	00	00	00	00	00	00	00
	78	55	89	10	12	13	00	00	00	00	00	00	00	00
	44	FF	55	10	14	15	00	00	00	00	00	00	00	00
	FF	FF	10	10	16	17	00	00	00	00	00	00	00	00
	FF	FF	10	10	18	19	00	00	00	00	00	00	00	00
	FF	11	10	20	20	11	00	00	00	00	00	00	00	00
	11	00	20	00	11	00	00	00	00	00	00	00	00	00
D4 ↓														
(d)	01	01	66	12	20	20	11	98	...	00	00	00	00	00
	01	02	77	45	20	20	B0	F2	...	00	00	00	00	00
	78	55	89	10	12	13	AB	AE	...	00	00	00	00	00
	44	FF	55	10	14	15	AB	AE	...	00	00	00	00	00
	FF	FF	10	10	16	17	AB	FF	...	00	00	00	00	00
	FF	FF	10	10	18	19	FE	FC	...	00	00	00	00	00
	FF	11	10	20	20	11	FD	FF	...	00	00	00	00	00
	11	00	20	00	11	00	FF	00	...	00	00	00	00	00

【図 1 6】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 60バイト (15 × 4)
 1ラインバイト数: 15バイト
 展開ライン数: 4ライン

ローカルメモリ

(a) D1→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(b) D2→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(c) D3→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
20	20	20	20	12	13	14	15
16	17	18	19	20	11	11	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00

(d) D4→

01	01	01	02	78	55	44	FF
FF	FF	FF	FF	FF	11	11	00
66	12	77	45	89	10	55	10
10	10	10	10	10	20	20	00
20	20	20	20	12	13	14	15
16	17	18	19	20	11	11	00
11	98	B0	F2	ABAE	ABAE	ABAE	ABAE
AB	FF	FE	FC	FD	FF	FF	00

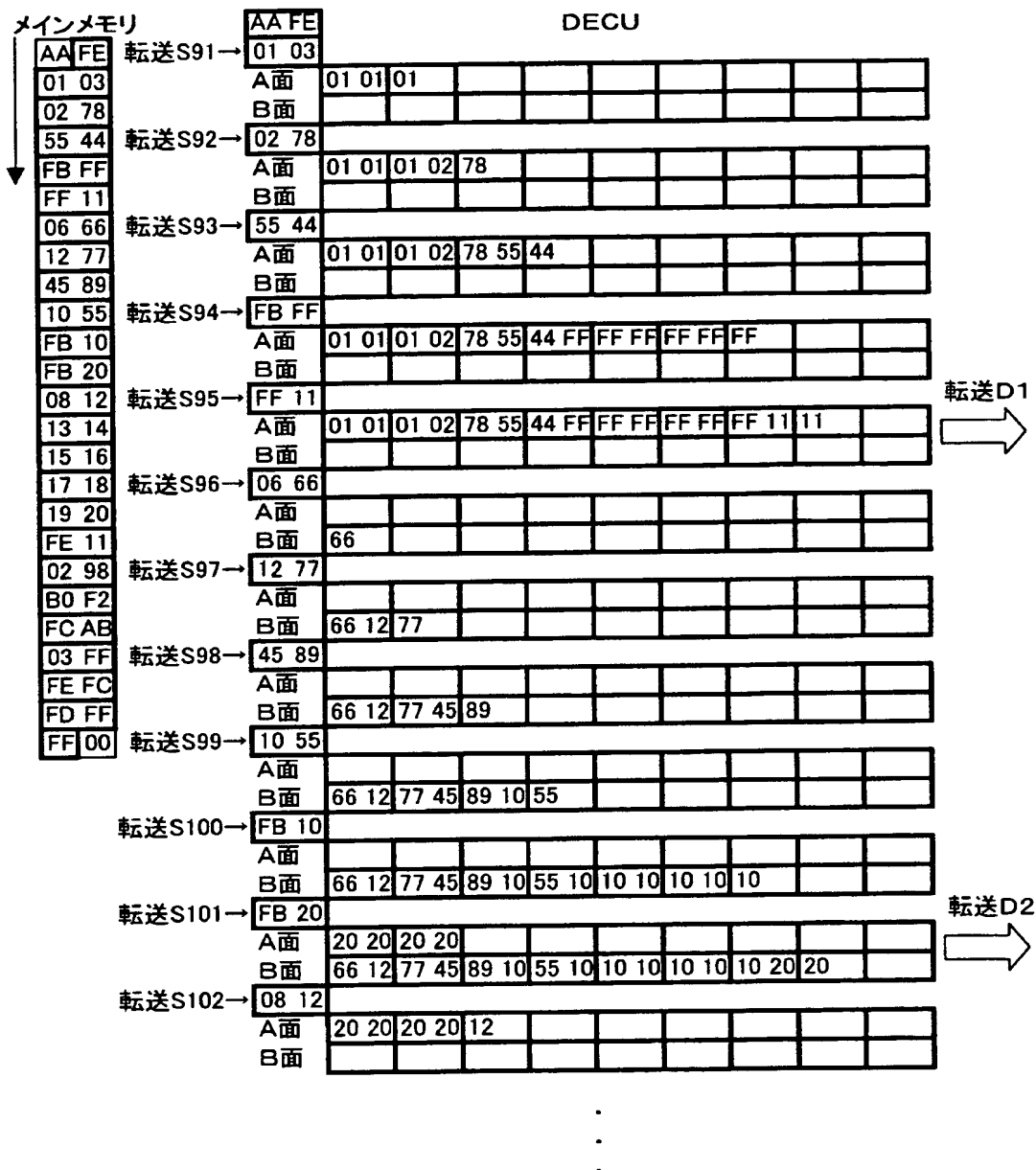
【図 17】

動作条件

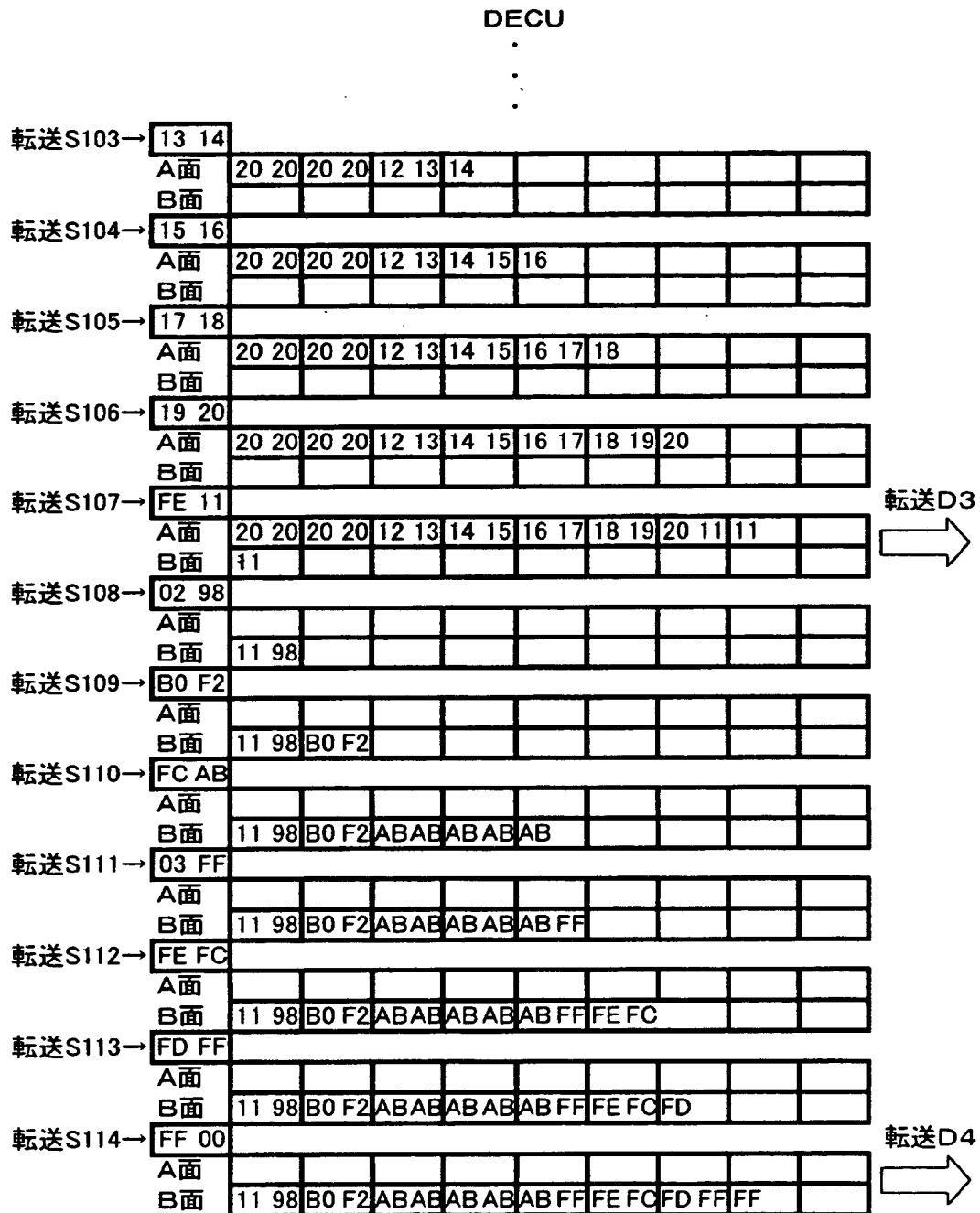
メインメモリ側: ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 15バイト



【図 18】



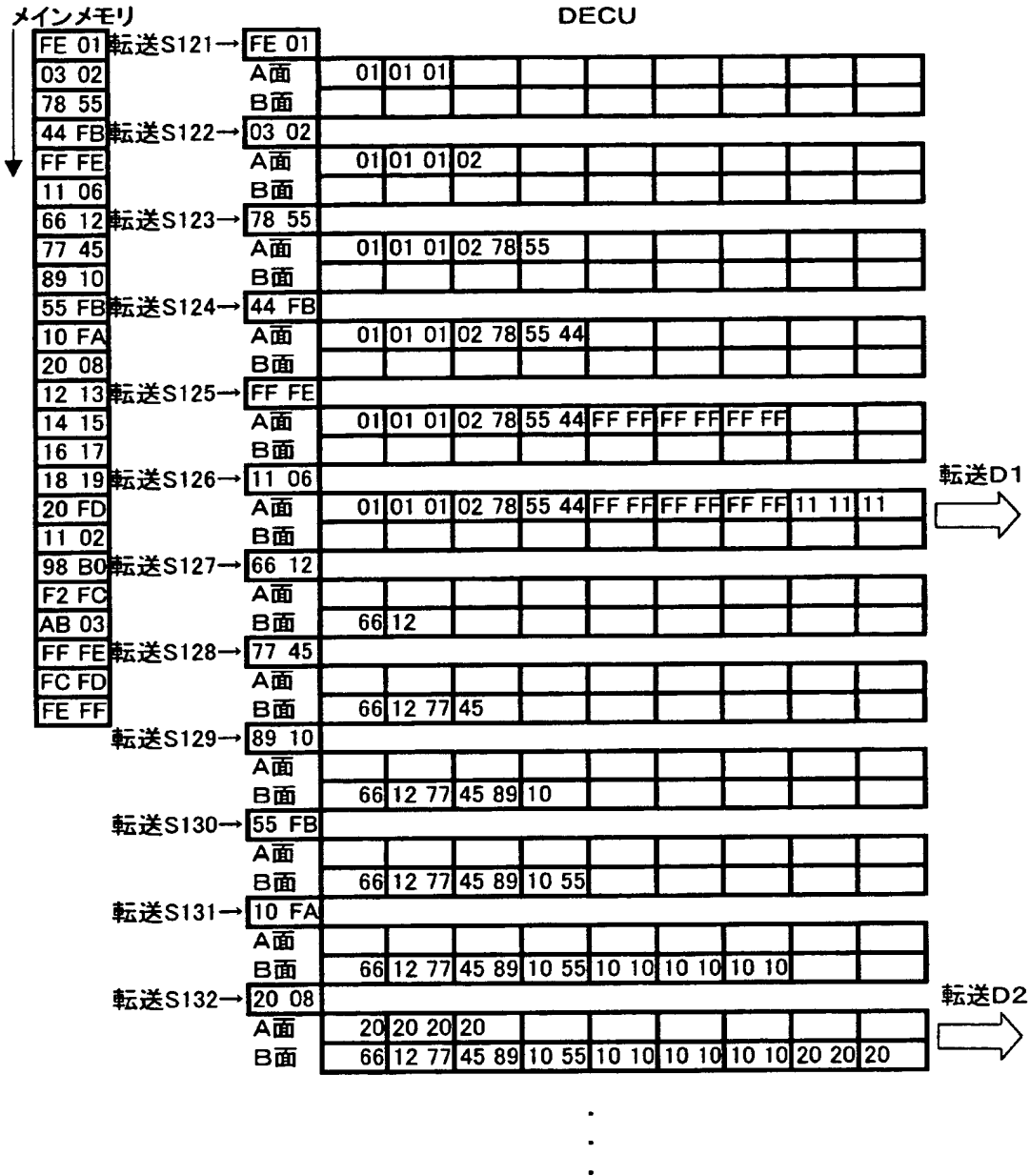
【図 19】

動作条件

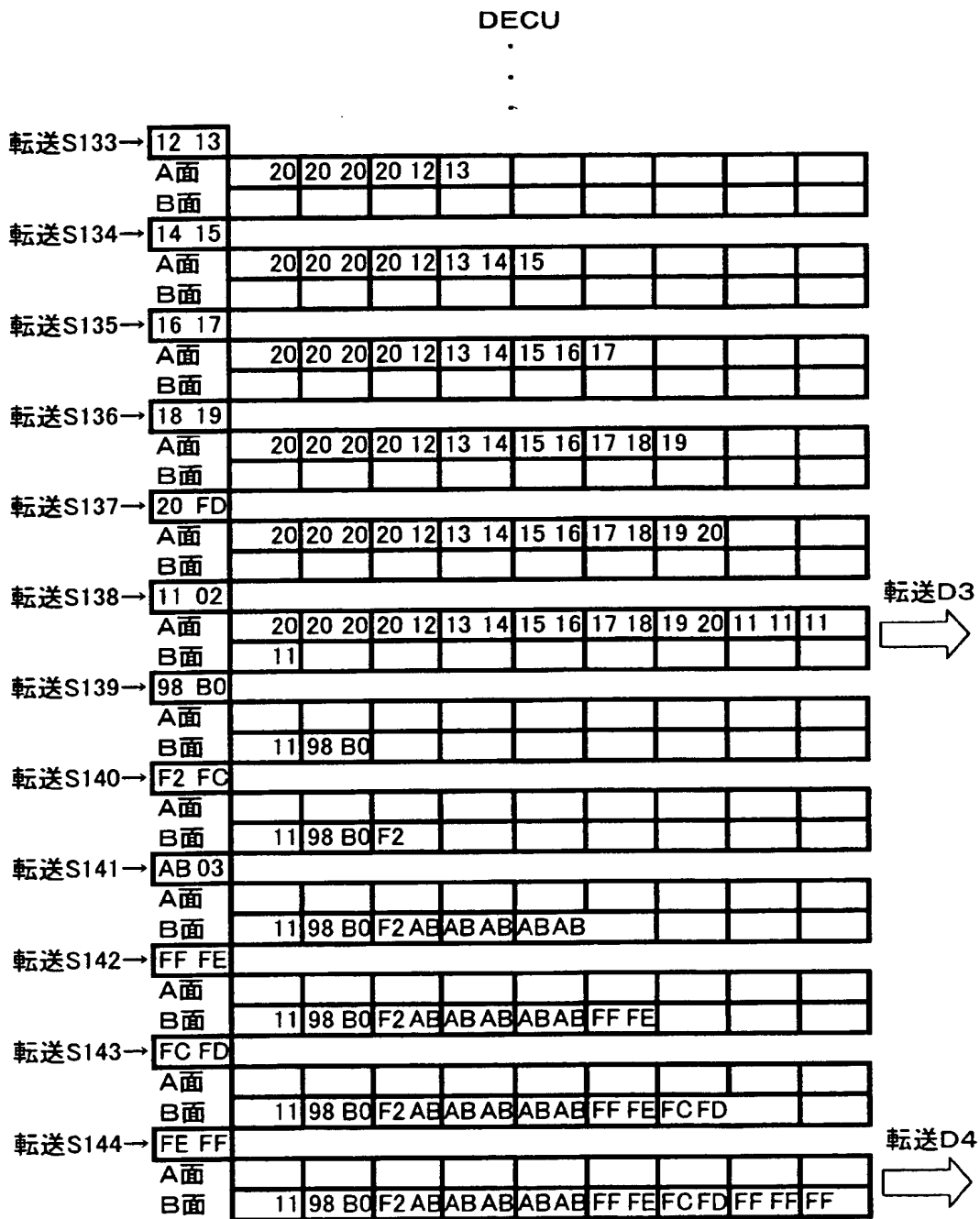
メインメモリ側:ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側:イメージデータの開始アドレス 奇数アドレス

1ラインバイト数:16バイト



【図 20】



【図 21】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

ローカルメモリ

		D1 ↓									
(a)		00	01	00	00	00	00	00	00	...	00 00
		01	01	00	00	00	00	00	00	...	00 00
		02	78	00	00	00	00	00	00	...	00 00
		55	44	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		FF	FF	00	00	00	00	00	00	...	00 00
		11	11	00	00	00	00	00	00	...	00 00
		11	00	00	00	00	00	00	00	...	00 00
		D2 ↓									
(b)		00	01	00	66	00	00	00	00	...	00 00
		01	01	12	77	00	00	00	00	...	00 00
		02	78	45	89	00	00	00	00	...	00 00
		55	44	10	55	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		FF	FF	10	10	00	00	00	00	...	00 00
		11	11	20	20	00	00	00	00	...	00 00
		11	00	20	00	00	00	00	00	...	00 00
		D3 ↓									
(c)		00	01	00	66	00	20	00	00	...	00 00
		01	01	12	77	20	20	00	00	...	00 00
		02	78	45	89	20	12	00	00	...	00 00
		55	44	10	55	13	14	00	00	...	00 00
		FF	FF	10	10	15	16	00	00	...	00 00
		FF	FF	10	10	17	18	00	00	...	00 00
		FF	FF	10	10	19	20	00	00	...	00 00
		11	11	20	20	11	11	00	00	...	00 00
		11	00	20	00	11	00	00	00	...	00 00
		D4 ↓									
(d)		00	01	00	66	00	20	00	11	...	00 00
		01	01	12	77	20	20	98	B0	...	00 00
		02	78	45	89	20	12	F2	AE	...	00 00
		55	44	10	55	13	14	AB	AE	...	00 00
		FF	FF	10	10	15	16	AB	AE	...	00 00
		FF	FF	10	10	17	18	FF	FE	...	00 00
		FF	FF	10	10	19	20	FC	FD	...	00 00
		11	11	20	20	11	11	FF	FF	...	00 00
		11	00	20	00	11	00	FF	00	...	00 00

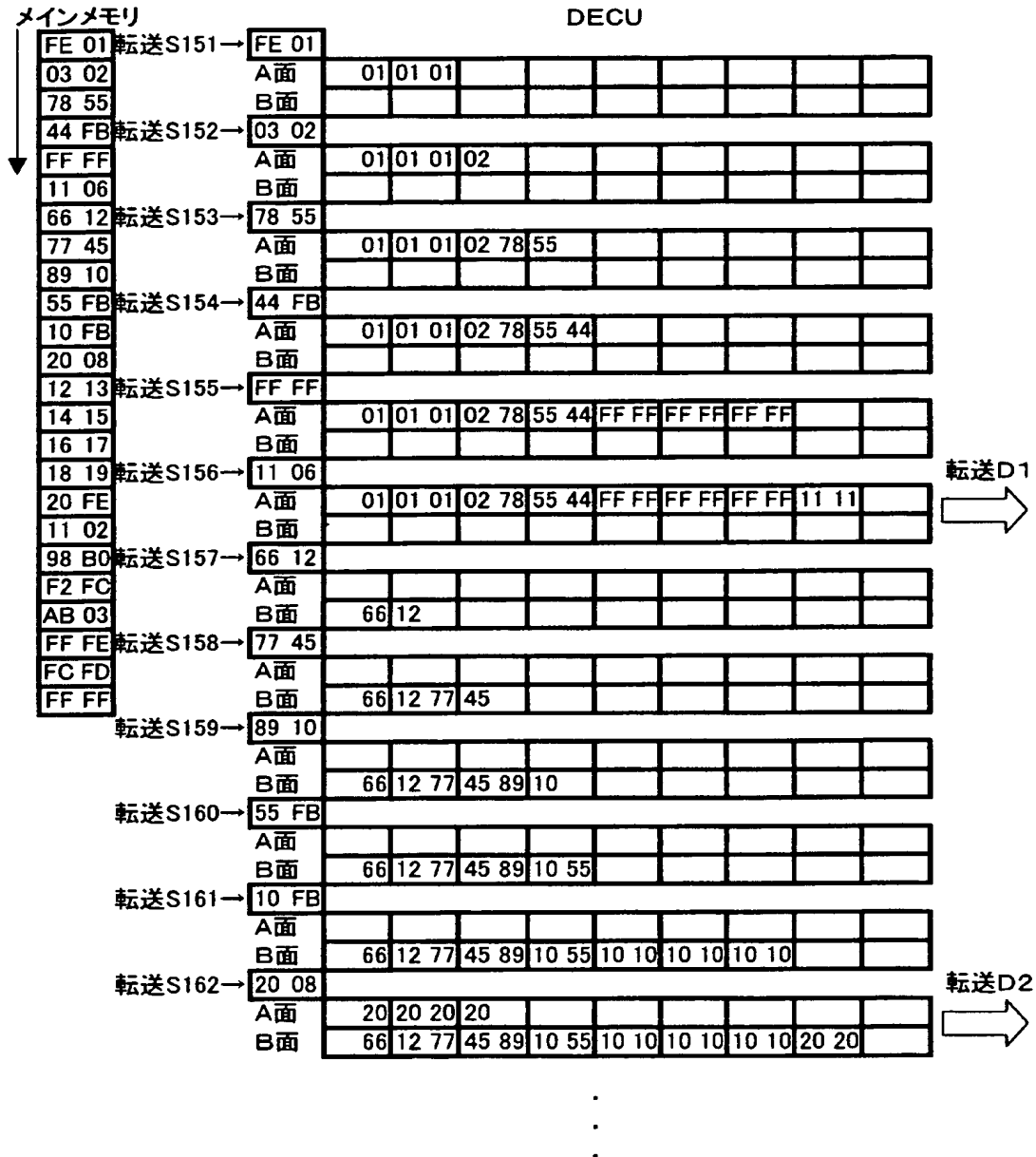
【図 22】

動作条件

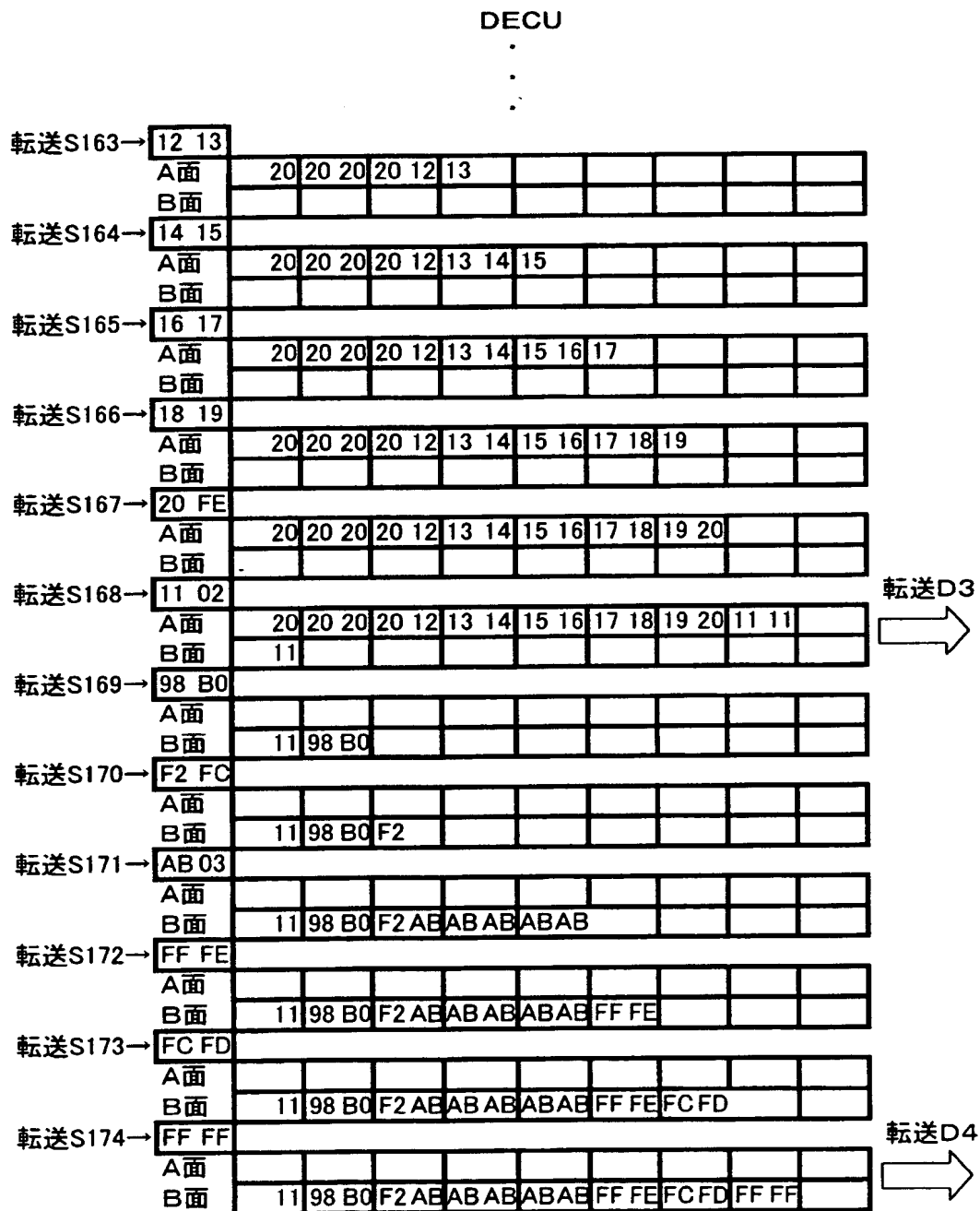
メインメモリ側 : ランレングスデータの開始アドレス 偶数アドレス

ローカルメモリ側 : イメージデータの開始アドレス 奇数アドレス

1ラインバイト数: 15バイト



【圖 23】



【図 2 4】

設定条件

ライン縦並び変換あり

総展開バイト数: 60バイト(15×4)

1ラインバイト数: 15バイト

展開ライン数: 4ライン

ローカルメモリ

(a) D1 ↓

00	01	00 00	00 00	00 00	...	00 00
01	01	00 00	00 00	00 00	...	00 00
02	78	00 00	00 00	00 00	...	00 00
55	44	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
FF	FF	00 00	00 00	00 00	...	00 00
11	11	00 00	00 00	00 00	...	00 00

(b) D2 ↓

00	01	00 66	00 00	00 00	...	00 00
01	01	12 77	00 00	00 00	...	00 00
02	78	45 89	00 00	00 00	...	00 00
55	44	10 55	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
FF	FF	10 10	00 00	00 00	...	00 00
11	11	20 20	00 00	00 00	...	00 00

(c) D3 ↓

00	01	00 66	00 20	00 00	...	00 00
01	01	12 77	20 20	00 00	...	00 00
02	78	45 89	20 12	00 00	...	00 00
55	44	10 55	13 14	00 00	...	00 00
FF	FF	10 10	15 16	00 00	...	00 00
FF	FF	10 10	17 18	00 00	...	00 00
FF	FF	10 10	19 20	00 00	...	00 00
11	11	20 20	11 11	00 00	...	00 00

(d) D4 ↓

00	01	00 66	00 20	00 11	...	00 00
01	01	12 77	20 20	98 B0	...	00 00
02	78	45 89	20 12	F2 AB	...	00 00
55	44	10 55	13 14	AB AB	...	00 00
FF	FF	10 10	15 16	AB AB	...	00 00
FF	FF	10 10	17 18	FF FE	...	00 00
FF	FF	10 10	19 20	FC FD	...	00 00
11	11	20 20	11 11	FF FF	...	00 00

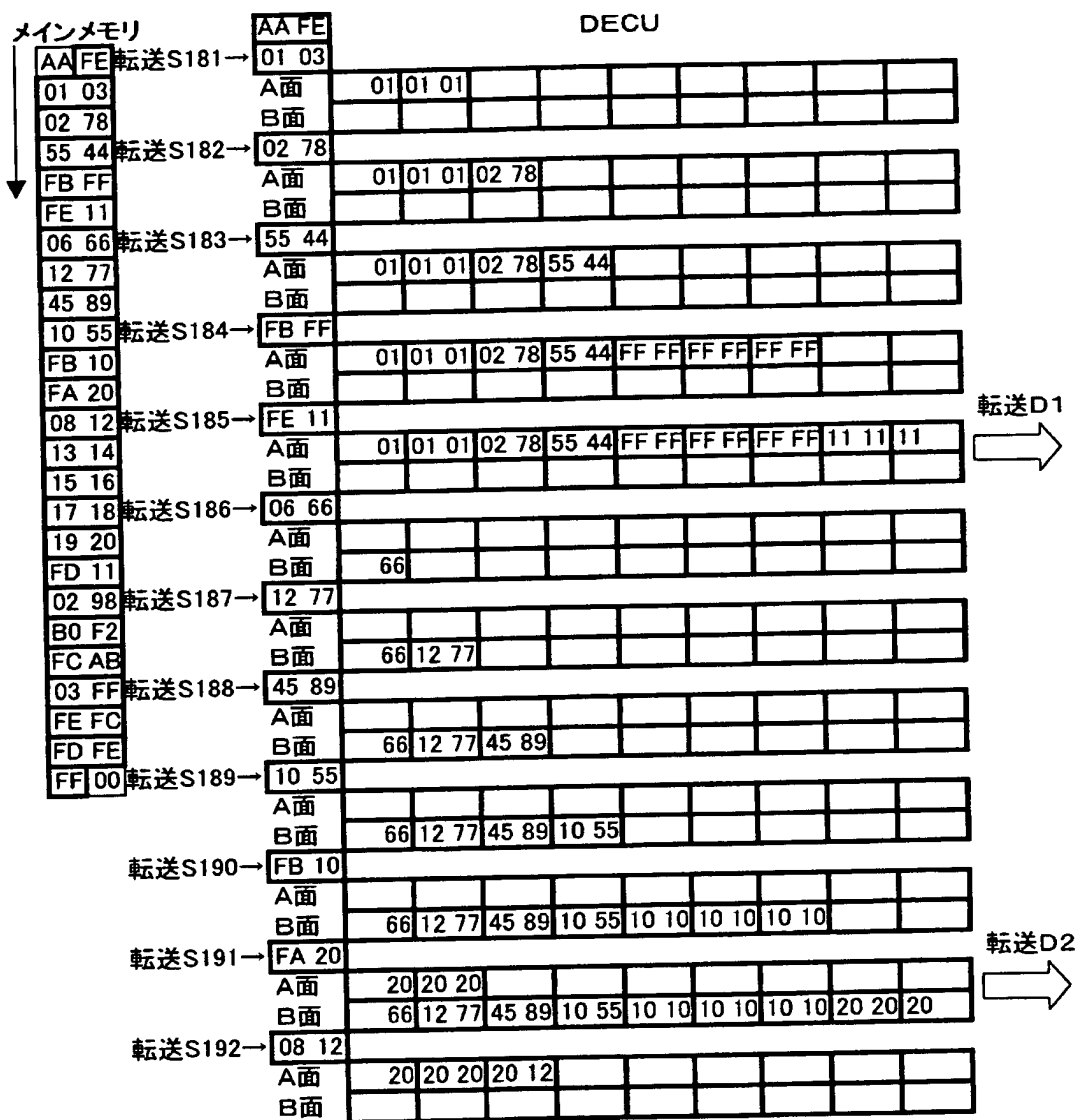
【図 25】

動作条件

メインメモリ側: ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側: イメージデータの開始アドレス 奇数アドレス

1ラインバイト数: 16バイト



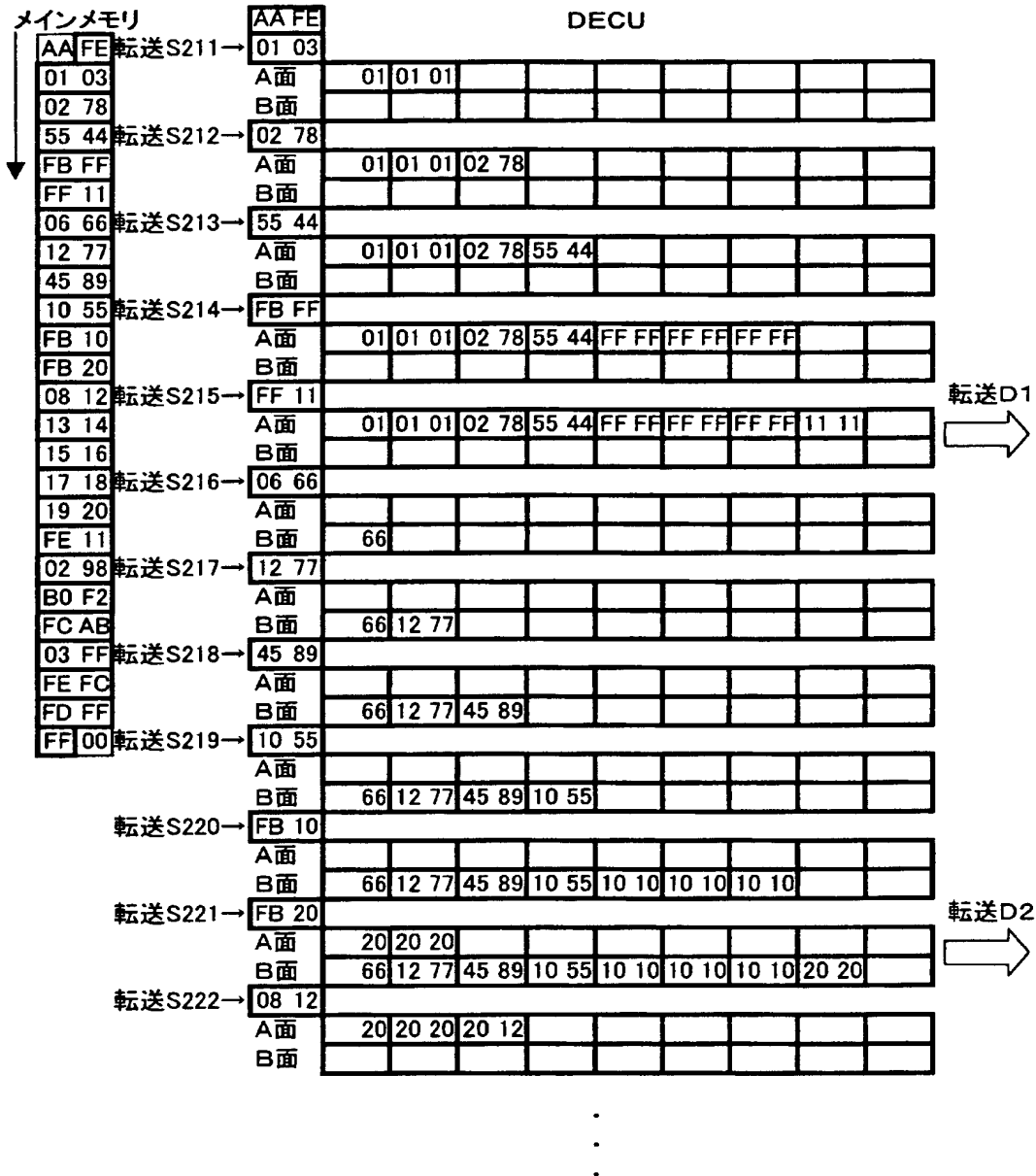
【図 27】

動作条件

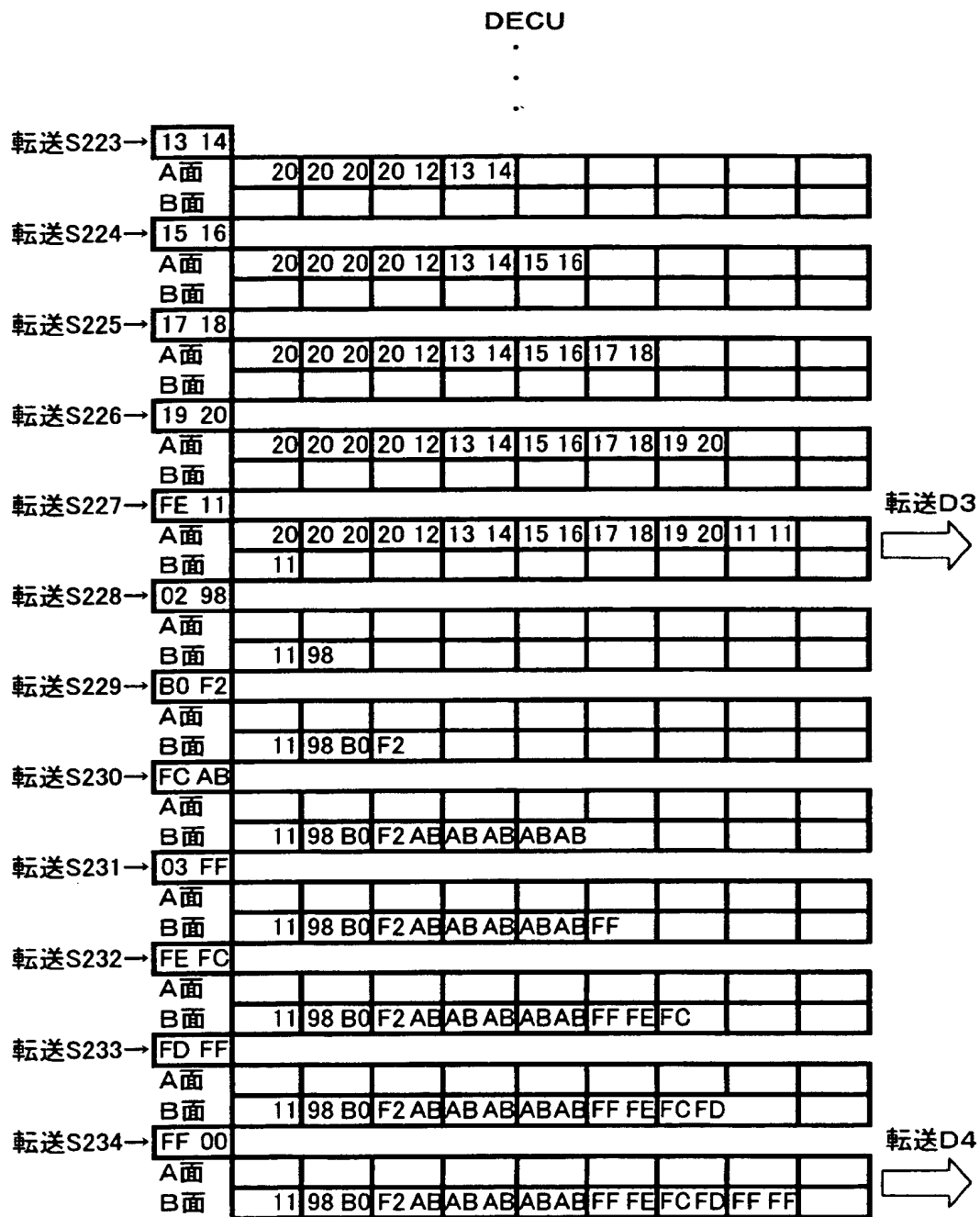
メインメモリ側:ランレングスデータの開始アドレス 奇数アドレス

ローカルメモリ側:イメージデータの開始アドレス 奇数アドレス

1ラインバイト数:15バイト



【図 28】



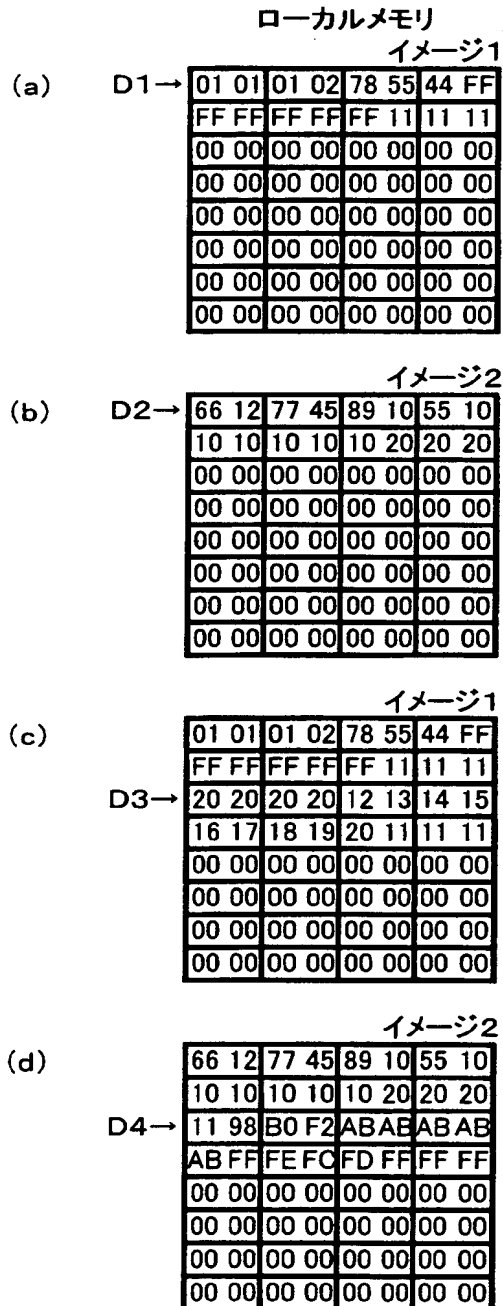
【図 29】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン

		ローカルメモリ															
		D1 ↓								イメージ1							
(a)		01 01	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		01 02	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		78 55	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		44 FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF 11	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		11 11	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		D2 ↓								イメージ2							
(b)		66 12	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		77 45	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		89 10	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		55 10	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 10	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 10	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 20	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		20 20	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		D3 ↓								イメージ1							
(c)		01 01	20 20	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		01 02	20 20	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		78 55	12 13	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		44 FF	14 15	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF FF	16 17	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF FF	18 19	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		FF 11	20 11	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		11 11	11 11	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		D4 ↓								イメージ2							
(d)		66 12	11 98	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		77 45	B0 F2	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		89 10	ABAE	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		55 10	ABAE	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 10	AB FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 10	FE FC	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		10 20	FD FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
		20 20	FF FF	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00

【図 3 0】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 64バイト(16×4)
 1ラインバイト数: 16バイト
 展開ライン数: 4ライン



【図 3 1】

設定条件

ライン縦並び変換あり

総展開バイト数: 60バイト(15×4)

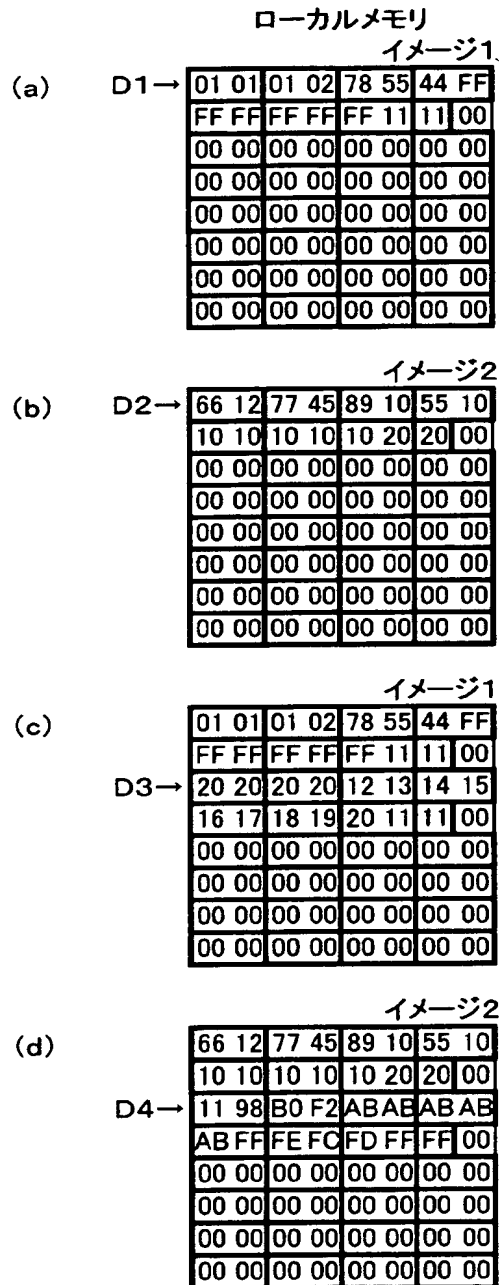
1ラインバイト数: 15バイト

展開ライン数: 4ライン

		ローカルメモリ									
		D1 ↓					イメージ1				
(a)		01 01	00 00	00 00	00 00	...	00 00				
		01 02	00 00	00 00	00 00	...	00 00				
		78 55	00 00	00 00	00 00	...	00 00				
		44 FF	00 00	00 00	00 00	...	00 00				
		FF FF	00 00	00 00	00 00	...	00 00				
		FF FF	00 00	00 00	00 00	...	00 00				
		FF 11	00 00	00 00	00 00	...	00 00				
		11 00	00 00	00 00	00 00	...	00 00				
		D2 ↓					イメージ2				
(b)		66 12	00 00	00 00	00 00	...	00 00				
		77 45	00 00	00 00	00 00	...	00 00				
		89 10	00 00	00 00	00 00	...	00 00				
		55 10	00 00	00 00	00 00	...	00 00				
		10 10	00 00	00 00	00 00	...	00 00				
		10 10	00 00	00 00	00 00	...	00 00				
		10 20	00 00	00 00	00 00	...	00 00				
		20 00	00 00	00 00	00 00	...	00 00				
		D3 ↓					イメージ1				
(c)		01 01	20 20	00 00	00 00	...	00 00				
		01 02	20 20	00 00	00 00	...	00 00				
		78 55	12 13	00 00	00 00	...	00 00				
		44 FF	14 15	00 00	00 00	...	00 00				
		FF FF	16 17	00 00	00 00	...	00 00				
		FF FF	18 19	00 00	00 00	...	00 00				
		FF 11	20 11	00 00	00 00	...	00 00				
		11 00	11 00	00 00	00 00	...	00 00				
		D4 ↓					イメージ2				
(d)		66 12	11 98	00 00	00 00	...	00 00				
		77 45	B0 F2	00 00	00 00	...	00 00				
		89 10	ABAE	00 00	00 00	...	00 00				
		55 10	ABAE	00 00	00 00	...	00 00				
		10 10	ABFF	00 00	00 00	...	00 00				
		10 10	FEFC	00 00	00 00	...	00 00				
		10 20	FDFF	00 00	00 00	...	00 00				
		20 00	FF 00	00 00	00 00	...	00 00				

【図 3 2】

設定条件
 ライン縦並び変換なし
 総展開バイト数: 60バイト(15×4)
 1ラインバイト数: 15バイト
 展開ライン数: 4ライン



【図 33】

設定条件

ライン縦並び変換あり

総展開バイト数: 64バイト(16×4)

1ラインバイト数: 16バイト

展開ライン数: 4ライン

		ローカルメモリ															
		D1 ↓				イメージ1											
(a)		00	01	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		01	01	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		02	78	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		55	44	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		11	11	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		11	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		D2 ↓				イメージ2											
(b)		00	66	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		12	77	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		45	89	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	55	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		20	20	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		20	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
		D3 ↓				イメージ1											
(c)		00	01	00	20	00	00	00	00	00	00	00	00	00	00	00	00
		01	01	20	20	00	00	00	00	00	00	00	00	00	00	00	00
		02	78	20	12	00	00	00	00	00	00	00	00	00	00	00	00
		55	44	13	14	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	15	16	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	17	18	00	00	00	00	00	00	00	00	00	00	00	00
		FF	FF	19	20	00	00	00	00	00	00	00	00	00	00	00	00
		11	11	11	11	00	00	00	00	00	00	00	00	00	00	00	00
		11	00	11	00	00	00	00	00	00	00	00	00	00	00	00	00
		D4 ↓				イメージ2											
(d)		00	66	00	11	00	00	00	00	00	00	00	00	00	00	00	00
		12	77	98	B0	00	00	00	00	00	00	00	00	00	00	00	00
		45	89	F2	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	55	AB	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	AB	AE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	FF	FE	00	00	00	00	00	00	00	00	00	00	00	00
		10	10	FC	FD	00	00	00	00	00	00	00	00	00	00	00	00
		20	20	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00
		20	00	FF	00	00	00	00	00	00	00	00	00	00	00	00	00

【図 3 4】

設定条件
 ライン縦並び変換あり
 総展開バイト数: 60バイト(15×4)
 1ラインバイト数: 15バイト
 展開ライン数: 4ライン

	ローカルメモリ														
	D1 ↓							イメージ1							
(a)	00	01	00	00	00	00	00	00	00	00	00	00	00	00	00
	01	01	00	00	00	00	00	00	00	00	00	00	00	00	00
	02	78	00	00	00	00	00	00	00	00	00	00	00	00	00
	55	44	00	00	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	00	00	00	00	00	00	00	00	00	00	00	00	00
	11	11	00	00	00	00	00	00	00	00	00	00	00	00	00
	D2 ↓							イメージ2							
(b)	00	66	00	00	00	00	00	00	00	00	00	00	00	00	00
	12	77	00	00	00	00	00	00	00	00	00	00	00	00	00
	45	89	00	00	00	00	00	00	00	00	00	00	00	00	00
	10	55	00	00	00	00	00	00	00	00	00	00	00	00	00
	10	10	00	00	00	00	00	00	00	00	00	00	00	00	00
	10	10	00	00	00	00	00	00	00	00	00	00	00	00	00
	10	10	00	00	00	00	00	00	00	00	00	00	00	00	00
	20	20	00	00	00	00	00	00	00	00	00	00	00	00	00
	D3 ↓							イメージ1							
(c)	00	01	00	20	00	00	00	00	00	00	00	00	00	00	00
	01	01	20	20	00	00	00	00	00	00	00	00	00	00	00
	02	78	20	12	00	00	00	00	00	00	00	00	00	00	00
	55	44	13	14	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	15	16	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	17	18	00	00	00	00	00	00	00	00	00	00	00
	FF	FF	19	20	00	00	00	00	00	00	00	00	00	00	00
	11	11	11	11	00	00	00	00	00	00	00	00	00	00	00
	D4 ↓							イメージ2							
(d)	00	66	00	11	00	00	00	00	00	00	00	00	00	00	00
	12	77	98	B0	00	00	00	00	00	00	00	00	00	00	00
	45	89	F2	AB	00	00	00	00	00	00	00	00	00	00	00
	10	55	AB	AB	00	00	00	00	00	00	00	00	00	00	00
	10	10	AB	AB	00	00	00	00	00	00	00	00	00	00	00
	10	10	FF	FE	00	00	00	00	00	00	00	00	00	00	00
	10	10	FC	FD	00	00	00	00	00	00	00	00	00	00	00
	20	20	FF	FF	00	00	00	00	00	00	00	00	00	00	00

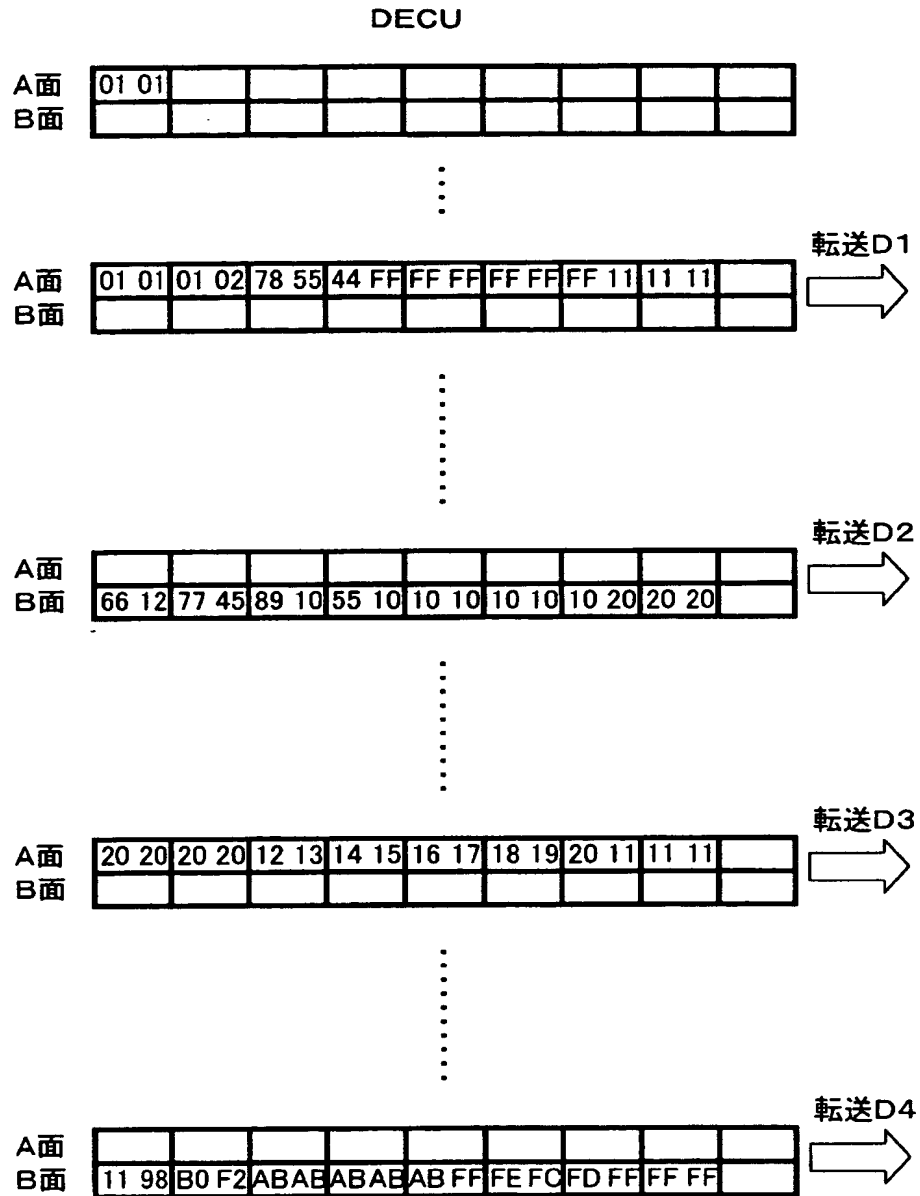
【図 35】

動作条件

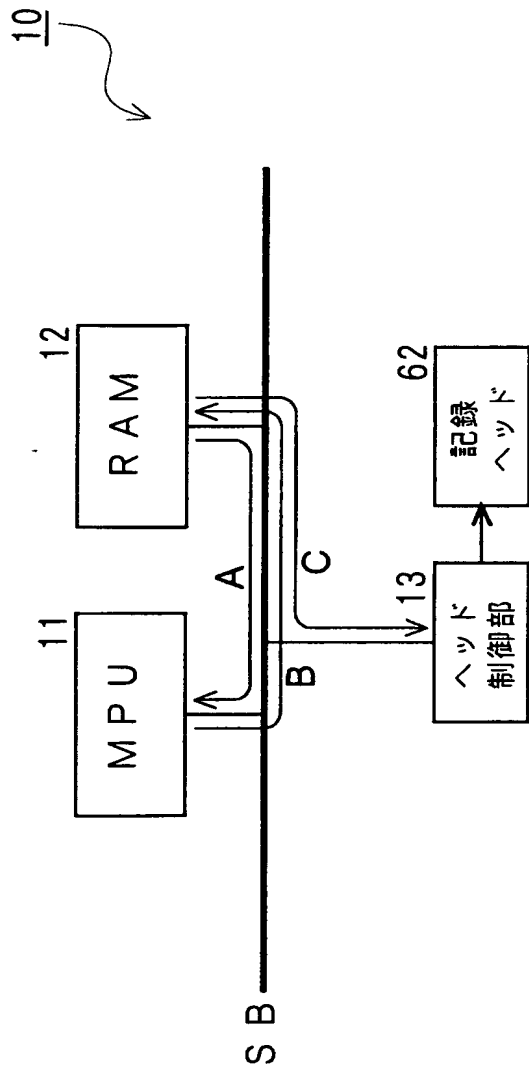
メインメモリ側: イメージデータの開始アドレス 偶数アドレス

ローカルメモリ側: イメージデータの開始アドレス 偶数アドレス

1ラインバイト数: 16バイト



【図 36】



【書類名】 要約書

【要約】

【課題】 圧縮データの高速な展開処理と、液体噴射ヘッドへの高速なデータ転送とを実現し、液体噴射装置の液体噴射実行速度を従来と比較して飛躍的に高速化する。

【解決手段】 受信バッファ部 4 2（メインメモリ）に格納されているランレングス圧縮された記録データの先頭のワードデータの下位アドレス（偶数アドレス）に記録データとは無関係なデータ（A A H）が格納されている場合には、先頭のバイトデータを含むワードデータの下位アドレス（偶数アドレス）の無関係なバイトデータをマスクして無効にしてからデコード回路 2 8 にて展開する。受信バッファ部 4 2 に格納されているランレングス圧縮された記録データのデータ開始アドレスが奇数アドレスであっても、ランレングス圧縮された記録データの先頭から正確にデコード回路 2 8 にてハードウェア展開することができる。

【選択図】 図 1 1

認定・付加情報

特許出願の番号	特願 2003-162047
受付番号	50300952262
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 6月13日

<認定情報・付加情報>

【提出日】	平成15年 6月 6日
【特許出願人】	
【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100095452
【住所又は居所】	東京都中央区京橋二丁目5番22号 キムラヤビル6階 石井特許事務所
【氏名又は名称】	石井 博樹

次頁無

特願 2 0 0 3 - 1 6 2 0 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社